

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月24日
Date of Application:

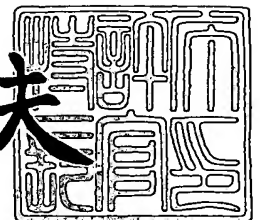
出願番号 特願2002-371724
Application Number:
[ST. 10/C]: [JP 2002-371724]

出願人 株式会社沖データ
Applicant(s): 株式会社沖デジタルイメージング

2003年10月30日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3090174

【書類名】 特許願

【整理番号】 MA901321

【提出日】 平成14年12月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 33/00

【発明者】

【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ
ジタルイメージング内

【氏名】 荻原 光彦

【発明者】

【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ
ジタルイメージング内

【氏名】 藤原 博之

【発明者】

【住所又は居所】 東京都港区芝浦 4 丁目 1 1 番 1 7 号 株式会社イー・イ
ー・ジィ内

【氏名】 佐久田 昌明

【発明者】

【住所又は居所】 東京都港区芝浦 4 丁目 1 1 番 1 7 号 株式会社イー・イ
ー・ジィ内

【氏名】 安孫子 一松

【特許出願人】

【識別番号】 591044164

【氏名又は名称】 株式会社沖データ

【代表者】 河井 正彦

【特許出願人】

【識別番号】 500002571

【氏名又は名称】 株式会社沖デジタルイメージング

【代表者】 菊地 曠

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9407118

【包括委任状番号】 0104055

【包括委任状番号】 0010218

【包括委任状番号】 0104054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体複合装置

【特許請求の範囲】

【請求項 1】 集積回路を有する半導体基板と、
前記半導体基板の表面に形成された平坦化領域と、
半導体素子を有し、前記平坦化領域上に貼り付けられた半導体薄膜と
を備えたことを特徴とする半導体複合装置。

【請求項 2】 前記平坦化領域が、前記半導体基板の表面に平坦化処理を施した領域であることを特徴とする請求項 1 に記載の半導体複合装置。

【請求項 3】 前記平坦化領域が、前記半導体基板の前記集積回路上に形成されたことを特徴とする請求項 1 又は 2 のいずれかに記載の半導体複合装置。

【請求項 4】 前記平坦化領域が、前記半導体基板の前記集積回路に隣接する領域に形成されたことを特徴とする請求項 1 又は 2 のいずれかに記載の半導体複合装置。

【請求項 5】 前記平坦化領域と前記半導体薄膜との間に、平坦化膜を介在させ、

前記平坦化膜の前記半導体薄膜側の面に平坦化処理が施されている

ことを特徴とする請求項 1 から 4 までのいずれかに記載の半導体複合装置。

【請求項 6】 前記平坦化膜が、導通層と、前記導通層が形成された領域の周辺領域に形成された層間絶縁膜とを有することを特徴とする請求項 5 に記載の半導体複合装置。

【請求項 7】 前記半導体薄膜が、前記半導体素子が形成された側の第 1 の面を前記平坦化領域側にしたことを特徴とする請求項 1 から 6 までのいずれかに記載の半導体複合装置。

【請求項 8】 前記半導体薄膜が、前記第 1 の面の反対側の第 2 の面に共通電極層を有し、

前記集積回路が、共通電極端子を有し、

前記半導体薄膜の前記共通電極層上から前記集積回路の前記共通電極端子上に至る領域に形成された薄膜の共通配線層を備えた

ことを特徴とする請求項 7 に記載の半導体複合装置。

【請求項 9】 前記半導体薄膜が、前記半導体素子が形成された側の第 1 の面の反対側の第 2 の面に共通電極層を有し、前記第 2 の面を前記平坦化領域側にしたことを特徴とする請求項 1 から 6 までのいずれかに記載の半導体複合装置。

【請求項 10】 前記集積回路が、個別電極端子を有し、
前記半導体薄膜の前記半導体素子上から前記個別電極端子上に至る領域に形成された薄膜の個別配線層を備えた

ことを特徴とする請求項 9 に記載の半導体複合装置。

【請求項 11】 集積回路を有する半導体基板と、
前記半導体基板の前記集積回路が形成された領域に隣接する領域上に形成され、前記集積回路が形成された領域よりも高い位置に表面を持つかさあげ層と、
前記かさあげ層の表面上に貼り付けられた半導体薄膜と
を備えたことを特徴とする半導体複合装置。

【請求項 12】 集積回路を有する半導体基板と、
前記半導体基板上に貼り付けられた半導体薄膜とを有し、
前記半導体薄膜が、前記半導体素子が形成された側の第 1 の面を前記半導体基板側にしたことを特徴とする半導体複合装置。

【請求項 13】 前記半導体基板と前記半導体薄膜との間に、導通層を介在させたことを特徴とする請求項 12 に記載の半導体複合装置。

【請求項 14】 前記半導体基板と前記半導体薄膜との間であって前記導通層が形成された領域の周辺領域に、層間絶縁膜を備えたことを特徴とする請求項 13 に記載の半導体複合装置。

【請求項 15】 前記半導体薄膜が、前記第 1 の面の反対側の第 2 の面に共通電極層を有し、

前記集積回路が、共通電極端子を有し、

前記半導体薄膜の前記共通電極層上から前記集積回路の前記共通電極端子上に至る領域に形成された薄膜の共通配線層を備えた

ことを特徴とする請求項 12 から 14 までのいずれかに記載の半導体複合装置

。

【請求項 1 6】 前記半導体薄膜が、化合物半導体を主材料とすることを特徴とする請求項 1 から 1 5 までのいずれかに記載の半導体複合装置。

【請求項 1 7】 前記半導体素子が、発光素子、受光素子、ホール素子、及び piezo 素子の内のいずれかの素子であり、

前記集積回路が、前記半導体素子を駆動させる駆動 IC を含む

ことを特徴とする請求項 1 から 1 6 までのいずれかに記載の半導体複合装置。

【請求項 1 8】 前記半導体薄膜に、前記半導体素子が複数個配列されていることを特徴とする請求項 1 から 1 7 までのいずれかに記載の半導体複合装置。

【請求項 1 9】 前記半導体薄膜に、前記半導体素子が 1 個備えられていることを特徴とする請求項 1 から 1 7 までのいずれかに記載の半導体複合装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば、電子写真式プリンタに使用される LED プリントヘッドのような半導体複合装置に関する。

【0 0 0 2】

【従来の技術】

図 2 5 は、従来の LED プリントヘッドの一部を概略的に示す斜視図であり、図 2 6 は、図 2 5 の LED プリントヘッドに備えることができる LED アレイチップの一例を示す平面図である。図示された LED プリントヘッド 9 0 0 は、基板 9 0 1 上に備えられた LED アレイチップ 9 0 2 の電極パッド 9 0 3 と、基板 9 0 1 上に備えられた駆動 IC チップ 9 0 4 の電極パッド 9 0 5 とをボンディングワイヤ 9 0 6 で接続した構造を持つ。

【0 0 0 3】

また、下記の特許文献 1 には、薄膜構造の発光素子が開示されている。

【0 0 0 4】

【特許文献 1】

特開平 1 0 - 0 6 3 8 0 7 号公報（図 3 から図 6 まで、図 8、段落 0 0 2 1）

【0 0 0 5】

【発明が解決しようとする課題】

しかしながら、図25及び図26に示されたLEDプリントヘッド900では、LEDアレイチップ902と駆動ICチップ904とをボンディングワイヤ906によって接続していたので、LEDアレイチップ902と駆動ICチップ904のそれぞれにワイヤボンド用の大きな（例えば、 $100\mu\text{m} \times 100\mu\text{m}$ ）電極パッド903及び905を設ける必要があった。このため、LEDアレイチップ902及び駆動ICチップ904の面積を小さくすることが困難であり、その結果、材料コストを削減することが困難であった。

【0006】

また、LEDアレイチップ902において発光部907として機能する領域は、表面から $5\mu\text{m}$ 程度の深さの領域である。しかし、図25及び図26に示されたLEDプリントヘッド900では、安定したワイヤボンドの歩留まりを確保するために、LEDアレイチップ902の厚さは駆動ICチップ904の厚さ（例えば、 $250\mu\text{m} \sim 300\mu\text{m}$ ）と同程度にする必要があった。このため、LEDプリントヘッド900においては、LEDアレイチップ902の材料コストを削減することが困難であった。

【0007】

さらにまた、特許文献1には、薄膜構造の発光素子が開示されているが、発光素子にはハンダボール用の電極パッドが備えられており、この電極パッドにハンダボールを介して個別電極が接続されている。このように、特許文献1の薄膜構造の発光素子は電極パッドを備えているので、その面積を縮小することが困難であった。

【0008】

そこで、本発明は上記したような従来技術の課題を解決するためになされたものであり、その目的とするところは、小型化及び材料コストの低減を図ることができる半導体複合装置を提供することにある。

【0009】**【課題を解決するための手段】**

本発明に係る半導体複合装置は、集積回路を有する半導体基板と、前記半導体

基板の表面に形成された平坦化領域と、半導体素子を有し、前記平坦化領域上に貼り付けられた半導体薄膜とを備えたことを特徴としている。

【0010】

また、本発明に係る他の半導体複合装置は、集積回路を有する半導体基板と、前記半導体基板の前記集積回路が形成された領域に隣接する領域上に形成され、前記集積回路が形成された領域よりも高い位置に表面を持つかさあげ層と、前記かさあげ層の表面上に貼り付けられた半導体薄膜とを備えたことを特徴としている。

【0011】

また、本発明に係るさらに他の半導体複合装置は、集積回路を有する半導体基板と、前記半導体基板上に貼り付けられた半導体薄膜とを有し、前記半導体薄膜が、前記半導体素子が形成された側の第1の面を前記半導体基板側にしたことを特徴としている。

【0012】

【発明の実施の形態】

<第1の実施形態>

図1は、本発明の第1の実施形態に係る半導体複合装置であるLED／駆動IC複合チップの一部を概略的に示す斜視図であり、図2は、LEDエピフィルムのボンディング前におけるLED／駆動IC複合チップを概略的に示す斜視図である。また、図3は、LED／駆動IC複合チップの一部を概略的に示す平面図であり、図4は、図3をS₄-S₄線で切る面を概略的に示す断面図である。

【0013】

図1から図4までに示されるように、第1の実施形態に係るLED／駆動IC複合チップ100は、集積回路102を有する半導体基板であるシリコン（Si）基板101と、このSi基板101の表面に形成された平坦化領域103とを備えている。平坦化領域103は、Si基板101の表面上に絶縁膜（図示せず）を形成し、この絶縁膜が形成された面を平坦化处理（例えば、CMP（Chemical Mechanical Polishing）処理）した領域である。第1の実施形態において、平坦化領域103は、Si基板101の集積回路102上に形成されているが、

Si 基板 101 上の集積回路 102 に隣接する領域に形成してもよい。

【0014】

また、図 1 から図 4 までに示されるように、第 1 の実施形態に係る LED/駆動 IC 複合チップ 100 は、平坦化領域 103 上に形成された平坦化膜 104 を備えている。平坦化膜 104 は、メタル層 105 と、このメタル層 105 の周辺領域に形成された層間絶縁膜 106 とを有する。平坦化膜 104 の表面は、平坦化処理（例えば、CMP 処理）されている。

【0015】

さらに、図 1 から図 4 までに示されるように、LED/駆動 IC 複合チップ 100 は、LED 105 を含み、平坦化膜 104 上に貼り付けられた（ボンディングされた）シート状の半導体エピタキシャルフィルム 110（以下「LED エピフィルム」と言う。）を備えている。なお、平坦化膜 104 を備えずに、LED エピフィルム 110 を Si 基板 101 の平坦化領域 103 の表面に直接貼り付けることもできる。

【0016】

LED エピフィルム 110 には、複数の LED（発光部）120 が形成されている。複数の LED 120 は、等ピッチで 1 列に配列されている。ただし、複数の LED 120 の配列は等ピッチに限定されない。また、複数の LED 120 の列数も 1 列に限定されず、例えば、複数の LED 120 の配列を、配列方向に直交する方向に規則的にずらしてもよい。また、LED エピフィルム 110 に形成される LED 120 の数は図示の個数に限定されない。また、図 3 に示されるように、LED エピフィルム 110 は、LED 120 の発光領域の幅 W_2 よりも広い幅 W_1 を持つ。例えば、LED 120 の発光領域の幅 W_2 を $20\ \mu\text{m}$ とし、LED エピフィルム 110 の幅 W_1 を $50\ \mu\text{m}$ とし、LED 120 の発光領域の両側にそれぞれ $15\ \mu\text{m}$ の余裕を持たせている。LED エピフィルム 110 の幅 W_1 は、電極パッドを有する従来の LED プリントヘッドの基板の幅（通常、 $400\ \mu\text{m}$ 程度）よりも非常に小さい幅である。ただし、LED エピフィルム 110 の幅 W_1 及び LED 120 の発光領域の幅 W_2 は上記した値に限定されない。

【0017】

LEDエピフィルム110は、後述するエピタキシャル層のみで構成されることが望ましい。LEDエピフィルム110の厚さは、LEDの安定した特性（例えば、発光特性や電気特性）を確保するために十分な厚さである $2\mu\text{m}$ 程度とすることができる。このLEDエピフィルム110の厚さは、電極パッドを有する従来のLEDプリントヘッドの厚さ（通常、 $300\mu\text{m}$ 程度）よりも非常に薄い厚さである。また、LEDエピフィルム110の厚さが厚くなると、その上に形成される薄膜の配線層に段切れが発生する確率が高くなる。このような不良の発生を回避するためには、LEDエピフィルム110の厚さを、約 $10\mu\text{m}$ 以下にすることが望ましい。ただし、ポリイミド等の絶縁体材料を使って、段差領域を平坦化する等の方策を講ずることによって、LEDエピフィルム110の厚さを $10\mu\text{m}$ を超える厚さにすることもできる。

【0018】

Si基板101は、集積回路102が作り込まれたモノリシックSi基板である。Si基板101の集積回路102には、LEDエピフィルム110に形成された複数のLED120を駆動させるための複数の駆動ICが含まれる。ただし、集積回路102には、複数の駆動ICの他に、LED120の点灯制御に共通に使用される回路も含まれる。Si基板101の厚さは、例えば、約 $300\mu\text{m}$ である。集積回路102の表面は、層間絶縁膜の開口部、配線パターン、又はエッチングパターン等により凹凸を有する。この凹凸を有する集積回路102上に絶縁膜（図示せず）を形成し、平坦化处理（例えば、CMP処理）を施された領域が平坦化領域103である。

【0019】

平坦化膜104は、LEDエピフィルム110の発光部120が接着される予定の領域に形成された複数のメタル層105と、メタル層105が形成された領域の周辺領域にメタル層105と同じ厚さで形成された層間絶縁膜106とを含む。ただし、平坦化膜104の構造や材質は、図示のものに限定されない。平坦化膜104の構造や材質は、Si基板101の平坦化領域103の構造や材質、又は、LEDエピフィルム110の形状、大きさ、厚さ、材質等の各種要因に基づいて決定すればよい。

【0020】

図5 (a) 及び (b) は、平坦化膜104の形成プロセスを概略的に示す断面図である。平坦化膜104の形成に際しては、図5 (a) に示されるように、Si基板101の平坦化領域103上に、配線層105a、層間絶縁膜106a、メタル層105bを順に形成する。次に、図5 (b) に示されるように、層間絶縁膜106a及びメタル層105bに平坦化处理（例えば、CMP処理）を施し、メタル層105及び層間絶縁膜106の表面を平坦化する。このようにして、平坦化領域103上に平坦化膜104が形成される。ただし、平坦化膜104の構造及び形成方法は、上記したものに限定されない。ここで、層間絶縁膜106aは、酸化膜や窒化膜等の絶縁膜、例えば、SiO₂、SiN、ポリイミド等で構成される。また、メタル層105は、例えば、パラジウム又は金等から構成される。なお、メタル層105は、金属以外の導電性材料（例えば、ポリシリコン）からなる導通層としてもよい。

【0021】

また、図2又は図4に示されるように、LEDエピフィルム110は、LED120が形成された側の第1の面110aと、その反対側の共通電極層（図示せず）を備えた側の第2の面110bとを有している。第1の実施形態においては、LEDエピフィルム110が、その第1の面110aを平坦化領域103側にしている。図2に示されるように、LEDエピフィルム110は、複数のLED120のそれぞれが、複数のメタル層105のそれぞれの上に重なるように位置合わせされ、平坦化膜104に接着されている。

【0022】

次に、LED／駆動IC複合チップ100の断面構造を説明する。図4に示されるように、LED／駆動IC複合チップ100は、Si基板101と、Si基板101の集積回路102上に形成された平坦化領域103と、この平坦化領域103上に備えられた平坦化膜104と、LED120側の第1の面110aを平坦化領域103側にしたLEDエピフィルム110と、共通電極層116とを順に積層させた構造を持つ。共通電極層116は光を透過する導電性の材料、例えば、酸化物透明導電膜とすることができる。酸化物透明導電膜としては、例え

ば、ITOやZnOを用いることができる。

【0023】

図4に示されるように、LEDエピフィルム110は、n型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層114 ($0 \leq z \leq 1$) と、n型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層113 ($0 \leq y \leq 1$) と、n型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層112 ($0 \leq x \leq 1$) と、n型GaAs層111とを積層させた構造を持つ。また、n型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層113及びn型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層114にはZn拡散領域115が形成されている。共通電極層116は、n型GaAs層111上に形成されている。

【0024】

n型GaAs層111の厚さは、約10nm (=約0.01 μm) であり、n型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層112の厚さは、約0.5 μm であり、n型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層113の厚さは、約1 μm であり、n型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層114の厚さは、約0.5 μm であり、n型GaAs層115の厚さは、約10nm (=約0.01 μm) である。この場合には、LEDエピフィルム110の厚さは、約2.02 μm となる。ただし、各層の厚さは、上記値に限定されない。また、LEDエピフィルム110の材料として、 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ (ここで、 $0 \leq x \leq 1$ 且つ $0 \leq y \leq 1$ である。)、GaN、AlGaN、InGaN等の他の材料を用いてもよい。

【0025】

また、上記各層のAl組成は、 $x > y$ 且つ $z > y$ (例えば、 $x = z = 0.4$ 、 $y = 0.1$) とすることができる。Zn拡散領域115の拡散フロントは、n型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層113の内部に位置するように構成することができる。このように構成することにより、pn接合を介して注入された少数キャリアは、n型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層113内、及び、Zn拡散によって $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層113内に形成されたp型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 内に閉じ込められ、高い発光効率を得られる。即ち、図4に示されるような構造を採用することによって、LEDエピフィルム110の厚さを約2 μm と薄くすることができ、発光効率を高くすることができる。なお、上記説明においては、エピタキシャル層としてダブルヘテロ型に複数のエピタキシャル層を積層し、そこにZn拡散層による

逆導電型不純物拡散領域を形成してホモ接合型とした場合を説明したが、シングルヘテロ積層型又は単層のエピタキシャル層からなるエピタキシャル層に拡散領域を形成したホモ接合型LEDとすることもできる。

【0026】

図6は、共通配線層130形成後におけるLED/駆動IC複合チップの一部を概略的に示す平面図である。共通配線層130は、LEDエピフィルム110の共通電極層116（図4に示す）と、Si基板101の集積回路102の共通電極端子107とを電氣的に接続する。共通配線層130は、例えば、薄膜のメタル配線である。共通配線層130は、①金を含む単層又は積層のメタル層、例えば、金で構成された層（Au層）、チタンと白金と金の積層層（Ti/Pt/Au積層層）、金と亜鉛の積層層（Au/Zn積層層）、金・ゲルマニウム・ニッケルを含む層と金層との積層層（AuGeNi/Au積層層）、②パラジウムを含む単層又は積層のメタル層、例えば、パラジウムで構成された層（Pd層）、パラジウムと金の積層層（Pd/Au積層層）、③アルミニウムを含む単層又は積層のメタル層、例えば、アルミニウムで構成された層（Al層）、アルミニウムとニッケルの積層層（Al/Ni積層層）、④ポリシリコンで構成された層、⑤ITOやZnO等の導電性酸化物薄膜等とすることができる。共通配線層130は、フォトリソグラフィ技術を用いて形成することができる。

【0027】

また、共通配線層130とLEDエピフィルム110の表面及び側面との間、共通配線層130とSi基板101の表面との間、共通配線層130と集積回路102との間等のように、電氣的にショートしてはならない領域には、絶縁膜（図示せず）が設けられ、正常な動作を確保できる構造になっている。LEDエピフィルム110上と集積回路102の共通電極端子107との間には、LEDエピフィルム110やIC形成領域の段差が存在する。これらの段差領域で、共通配線層116に断線が発生しないようにし良好な被覆を可能にするために、PCVD（プラズマ化学気相成長）法で形成した絶縁膜によって層間絶縁膜を形成したり、又は、ポリイミド膜等で段差を平坦化する等、段差の形態に応じて層間絶縁膜を設けることが望ましい。

【0028】

次に、LEDエピフィルム110の製造プロセスを説明する。図7から図9までは、LEDエピフィルム110の製造プロセスを概略的に示す断面図であり、図10は、図9をS₁₀-S₁₀線で切る面を概略的に示す断面図である。なお、図9は、図10をS₉-S₉線で切る面を示す断面図に相当する。

【0029】

LEDエピタキシャル層110c（剥離される前は「LEDエピタキシャル層110c」と記載し、剥離された後は「LEDエピフィルム110」と記載する。）の製造は、有機金属化学蒸着法（MOCVD法）や分子線エピタキシー法（MBE法）等によって行うことができる。LEDエピタキシャル層110cの製造に際しては、図7に示されるように、GaAs基板141上に、GaAsバッファ層142、(AlGa)InPエッチングストップ層143、及びAlAs剥離層144を順に成膜する。次に、AlAs剥離層144上に、GaAsコンタクト層111（n型GaAs層111）、AlGaAs下クラッド層112（n型Al_xGa_{1-x}As層112）、AlGaAs活性層113（n型Al_yGa_{1-y}As層113）、及びAlGaAs上クラッド層114（n型Al_zGa_{1-z}As層114）を順に成膜する。LEDエピフィルム110の剥離は、化学的リフトオフ法を用いて行うことができる。ここで、エッチングストップ層143を省くこともできる。また、LEDエピタキシャル層110c及びLEDエピフィルム形成用基板140に他の半導体エピタキシャル層を追加するなど種々の変形が可能である。

【0030】

次に、図8に示されるように、固相拡散法等により亜鉛（Zn）からなるP型不純物を拡散し、Zn拡散領域115を形成する。その後、固相拡散時に用いた拡散源膜は除去し、GaAsコンタクト層のZn拡散領域表面を露出させる。

【0031】

次に、図9及び図10に示されるように、10%HF（弗化水素）液により、AlAs剥離層144を選択的に除去する。AlAs剥離層144に対するエッチング速度は、AlGaAs層112～114、GaAs層111、141、1

42、及びエッチングストップ層143に対するエッチング速度に比べ格段に大きいので、AlAs剥離層144を選択的にエッチングすることができる。これにより、LEDエピフィルム110を、LEDエピフィルム製造用基板140から剥がすことが可能になる。なお、このLEDエピフィルム110を薄くするとともに、比較的短い時間でLEDエピフィルム製造用基板140から剥がすためには、例えば、LEDエピフィルム110の幅を $300\mu\text{m}$ 以下、例えば、 $50\mu\text{m}$ 程度とすることが望ましい。このためには、図10に示されるように、幅 W_1 が $50\mu\text{m}$ となるように、各エピタキシャル層111～114をエッチングし、溝145を形成しておく。溝145の形成は、溝形成領域レジスト等によりマスクをしておき、燐酸過水によりエッチングするフォトリソグラフィ工程により行う。燐酸過水は、AlGaAs層112～114、GaAs層111, 141, 142は、エッチングするが、(AlGa)InPエッチングストップ層143に対するエッチング速度が遅いので、上面から溝145をエッチング形成する際に溝が基板141まで到達するのを防止することができる。溝145を形成するにあたり溝形成予定領域上の絶縁膜をあらかじめ除去した構造とした後に、溝145を形成してもよい。溝145を形成するためのフォトリソ、エッチング工程で、溝145を形成するためのレジストマスクを使って溝形成予定領域上の絶縁膜を除去し、さらに溝形成のためのエッチングを行ってもよい。溝145を形成した後、HF液によりエッチングすることにより、AlAs剥離層144をエッチングし、LEDエピフィルム110を剥離する。なお、図10には、AlAs剥離層144が残されている状態（エッチング途中）が示されているが、LEDエピフィルム110を保持した状態で、AlAs剥離層144は完全に除去される。AlAs剥離層144をエッチング除去した後、エッチング液が残留しないように純水による水洗処理を施す。LEDエピフィルム110の剥離に際して、LEDエピフィルムを支持及び保護する支持体をLEDエピフィルム110上に設けることができる。例えば、LEDエピフィルム110の上に支持体を設けた場合、LEDエピフィルム支持体表面を、例えば、真空吸着や光硬化性粘着シート（光照射により粘着性を失う粘着シート）等により吸着し所定の位置に移動することができる。

【0032】

図11(a)から(d)までは、第1の実施形態に係るLED／駆動IC複合チップにおけるLEDエピフィルムのボンディングプロセスを概略的に示す断面図である。図11(a)に示されるように、基板140から剥離されたLEDエピフィルム110(図9及び図10に示される剥離前のLEDエピタキシャル層110c)は、第1の支持体150の光硬化性粘着シート150aによって支持され、図11(b)に示されるように、第2の支持体160上に光硬化性粘着シート160aに付着させる。次に、光照射(例えば、UV照射)によって、第1の支持体150の光硬化性粘着シート150aの粘着性を消失させ、その後、図11(d)に示されるように、第2の支持体160の位置を反転させることによって、LEDエピフィルム110を上下反転させる。この状態で、LEDエピフィルム110をSi基板101の平坦化領域103上(又はその上に形成された平坦化膜104上)に貼り付け、光照射(例えば、UV照射)によって、第2の支持体160の光硬化性粘着シート160aの粘着性を消失させ、第2の支持体160を引き離す。

【0033】

以上説明したように、第1の実施形態に係るLED／駆動IC複合チップ100によれば、Si基板101に形成された集積回路102の表面に平坦化領域103を形成し、この平坦化領域103上に平坦化膜104を設け、その上にLEDエピフィルム110を接着した構造としたので、LEDエピフィルム110に個別電極のためのワイヤボンド用電極パッドを設ける必要がない。また、第1の実施形態に係るLED／駆動IC複合チップ100によれば、共通配線層130をフォトリソグラフィ技術を用いて形成された薄膜の層としたので、LEDエピフィルム110に共通電極のためのワイヤボンド用電極パッドを設ける必要がない。このため、LEDエピフィルム110の面積を小さくでき、その結果、LED／駆動IC複合チップ100の小型化を実現できる。また、LEDエピフィルム110の面積を小さくできるので、材料コストの低減を図ることができる。

【0034】

また、第1の実施形態に係るLED／駆動IC複合チップ100によれば、L

LEDエピフィルム110の厚さをワイヤボンドに対する強度を考慮して厚くする必要がない。このように、LEDエピフィルム110の厚さを薄くできるので、材料コストの低減を図ることができる。

【0035】

さらに、第1の実施形態に係るLED／駆動IC複合チップ100によれば、LEDエピフィルム110のLED120側の第1の面110aをSi基板101の平坦化領域103側にし、平坦化膜104のメタル層105に重ねているので、各LED120を集積回路102に接続するための個別配線層を設ける必要がなく、構成及び製造プロセスの簡素化を実現できる。

【0036】

さらにまた、第1の実施形態に係るLED／駆動IC複合チップ100によれば、集積回路102上の平坦化領域103上にLEDエピフィルム110を備えているので、集積回路102を有するSi基板の幅を大幅に削減できる。

【0037】

また、第1の実施形態に係るLED／駆動IC複合チップ100によれば、複数の共通配線層130をLED120の配列方向に均等配列しているので、LEDエピフィルム110の共通電極層116の電位のばらつきを小さくでき、各LED120の発光強度のばらつきを小さくすることができる。

【0038】

図12は、本発明の第1の実施形態の変形例に係る半導体複合装置としてのLED／駆動IC複合チップ170を概略的に示す断面図である。図12において、図6（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。図12に示されたLED／駆動IC複合チップ170は、共通配線層131の形状が、図6に示される共通配線層130と相違する。図12に示されるLED／駆動IC複合チップ170においては、共通配線層131は、複数のLED120上の開口部131aを除いて、LEDエピフィルム110のほぼ全域に広がる形状をしている。共通配線層131としては、透明電極や半透明電極を用いることもできる。この場合には、LEDエピフィルム110の共通電極層116の電位のばらつきを小さくすることができ、各LED120の発光強度のばらつき

を小さくすることができる。

【0039】

<第2の実施形態>

図13は、本発明の第2の実施形態に係るLED/駆動IC複合チップの一部を概略的に示す斜視図であり、図14は、LEDエピフィルのボンディング前における第2の実施形態に係るLED/駆動IC複合チップを概略的に示す斜視図である。また、図15は、図13をS15-S15線で切る面を概略的に示す断面図である。

【0040】

図13において、図1（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。また、図14において、図2（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。また、図15において、図4（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。図13及び図14に示されたLED/駆動IC複合チップ200は、各メタル層105上に1個のLEDエピフィルム210を貼り付け、且つ、各LEDエピフィルム210が1個のLEDを有する点が、図1及び図2に示される第1の実施形態に係るLED/駆動IC複合チップ100と相違する。

【0041】

図15に示されるように、LEDエピフィルム210は、p型GaAs層215上に、p型 $Al_xGa_{1-x}As$ 層214、p型 $Al_yGa_{1-y}As$ 層213、n型 $Al_zGa_{1-z}As$ 層212、及びn型GaAs層211を順に形成した構造を持つ。LEDエピフィルム210の製造に際しては、第1の実施形態と同様に、LEDエピフィルム製造用基板上に、n型GaAs層211、n型 $Al_zGa_{1-z}As$ 層212、p型 $Al_yGa_{1-y}As$ 層213、p型 $Al_xGa_{1-x}As$ 層214、及びp型GaAs層215を順に成膜する。LEDエピフィルム210のボンディングに際しては、第1の実施形態と同様に、LEDエピフィルム製造用基板からLEDエピフィルム210を剥離し、LEDが形成された側の第1の面210aを平坦化領域103側にするように上下を反転させ、LEDエピフィルム210をSi基板101上のメタル層105に貼り付ける

。その後、開口部 230a を有する共通電極層 230 を形成する。共通電極層 230 は、第 1 の実施形態における共通電極層 130 と同様に、LED エピフィルム 210 の共通電極領域上から集積回路 102 の共通電極端子上まで延びる薄膜の配線層である。上記各層の Al 組成は、 $x > y$ 且つ $z > y$ （例えば、 $x = z = 0.4$ 、 $y = 0.1$ ）とすることができる。ただし、LED エピフィルム 210 の構造及び組成は上記したものに限定されない。例えば、シングルヘテロ型でも、ホモ型でもよく、ダブルヘテロ型においても、クラッド層の間にノンドープの活性層を設ける、又は、量子井戸層を挿入する等の種々の構造が可能である。また、p 型と n 型を逆にする等の変形も可能である。

【0042】

以上説明したように、第 2 の実施形態に係る LED/駆動 IC 複合チップ 200 によれば、LED エピフィルム 210 が小さく分割されているので、LED エピフィルム 210 の熱膨張係数と Si 基板 101 の熱膨張係数とが大きく異なる場合に問題となり得る、LED エピフィルム 210 の内部応力を軽減でき、LED エピフィルム 210 の欠陥の発生要因の一つを排除できる。このため、第 2 の実施形態に係る LED/駆動 IC 複合チップ 200 の信頼性を高めることができる。

【0043】

また、第 2 の実施形態に係る LED/駆動 IC 複合チップ 200 によれば、LED エピフィルム 210 が小さく分割されており、接着領域が小さいので、LED エピフィルム 210 をメタル層 105 に密着させるプロセスが容易であり、密着性の不完全さに起因する欠陥発生率を低減できる。

【0044】

さらに、第 2 の実施形態に係る LED/駆動 IC 複合チップ 200 によれば、LED エピフィルム 210 が発光領域以外の部分を持たないので LED エピフィルム 210 の幅を狭くすることができ、共通配線層の長さを短くすることができる。

【0045】

なお、第 2 の実施形態において、上記以外の点は、上記第 1 の実施形態の場合

と同じである。

【0046】

<第3の実施形態>

図16は、本発明の第3の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す斜視図であり、図17は、LEDエピフィルム310のボンディング前におけるLED／駆動IC複合チップを概略的に示す斜視図である。また、図18は、LED／駆動IC複合チップの一部を概略的に示す平面図である。

【0047】

図16から図18までに示されるように、第3の実施形態に係るLED／駆動IC複合チップ300は、集積回路302を有するSi基板301と、このSi基板301の表面に形成された平坦化領域303と、この平坦化領域303上に形成された平坦化膜304とを備えている。平坦化領域303は、Si基板301の表面上に絶縁膜（図示せず）を形成し、この絶縁膜が形成された面を平坦化处理（例えば、CMP処理）した領域である。第3の実施形態において、平坦化領域303は、Si基板301の集積回路302上に形成されているが、Si基板301上の集積回路302に隣接する領域に形成してもよい。また、第3の実施形態における平坦化膜304は、メタル層305である。

【0048】

また、図16から図18までに示されるように、LED／駆動IC複合チップ300は、LED320を含み、平坦化膜304上に貼り付けられた（ボンディングされた）シート状のLEDエピフィルム310を備えている。LEDエピフィルム310は、LED320が形成された側の第1の面310aの反対側の第2の面310bに共通電極層（図示せず）を有し、第2の面310bをSi基板301の平坦化領域303側にして、メタル層305に貼り付けている。なお、平坦化膜304（メタル層305）を備えずに、LEDエピフィルム310をSi基板301の平坦化領域303の表面（例えば、電極領域）上に直接貼り付けることも可能である。

【0049】

また、図16及び図18に示されるように、LED／駆動IC複合チップ30

0 は、LED エピフィルム 310 の LED 320 上から集積回路 302 の個別電極端子 308 上に至る領域に形成された薄膜の個別配線層 330 を備えている。なお、個別配線層 330 の下には、適宜層間絶縁膜（図示せず）が備えられる。

【0050】

以上説明したように、第 3 の実施形態に係る LED/駆動 IC 複合チップ 300 によれば、LED エピフィルム 310 の第 2 の面 310b をメタル層 305 に接着する構造を採用しているため、より強い接着強度を得ることができる。

【0051】

なお、第 3 の実施形態において、上記以外の点は、上記第 1 又は第 2 の実施形態の場合と同じである。

【0052】

<第 4 の実施形態>

図 19 は、本発明の第 4 の実施形態に係る LED/駆動 IC 複合チップの一部を概略的に示す斜視図であり、図 20 は、LED エピフィルムのボンディング前における LED/駆動 IC 複合チップを概略的に示す斜視図である。また、図 21 は、LED/駆動 IC 複合チップの一部を概略的に示す平面図であり、図 22 は、図 21 を S22-S22 線で切る面を概略的に示す断面図である。

【0053】

図 19 から図 21 までに示されるように、第 4 の実施形態に係る LED/駆動 IC 複合チップ 400 は、集積回路 402 を有する Si 基板 401 と、この Si 基板 401 の表面に形成された平坦化領域 403 と、この平坦化領域 403 上に形成されたメタル層 405 とを備えている。平坦化領域 403 は、Si 基板 401 の表面上に絶縁膜（図示せず）を形成し、この絶縁膜が形成された面を平坦化処理（例えば、CMP 処理）した領域である。第 4 の実施形態においては、平坦化領域 403 は、Si 基板 401 の集積回路 402 上及び集積回路に隣接する領域 403a に形成されている。集積回路が形成された領域に隣接する領域 403a 上には、メタル層 405 が形成されており、メタル層 405 の表面に LED エピフィルム 410 が貼り付けられ（ボンディングされ）ている。

【0054】

また、図19から図21までに示されるように、LED／駆動IC複合チップ400は、LED420を含み、メタル層405上に貼り付けられたシート状のLEDエピフィルム410を備えている。LEDエピフィルム410は、LED420が形成された側の第1の面410aの反対側の第2の面410bに共通電極層（図示せず）を有し、第2の面410bをSi基板301の平坦化領域403側にして、メタル層405に貼り付けている。ただし、第1の実施形態と同様に、メタル層を複数形成し、第1の面410aのLED420をメタル層に重ねるように形成してもよい。また、第2の実施形態と同様に、1個のLEDを有するLEDエピフィルムを複数個、メタル層上に配列してもよい。さらに、メタル層405を備えずに、LEDエピフィルム410をSi基板401の平坦化領域403aの表面（例えば、電極領域）上に直接貼り付けることも可能である。

【0055】

また、図19及び図21に示されるように、LED／駆動IC複合チップ400は、LEDエピフィルム410のLED420上から集積回路402の個別電極端子408上に至る領域に形成された薄膜の個別配線層430を備えている。なお、個別配線層430の下（例えば、メタル層405との間）には、適宜層間絶縁膜（図示せず）が備えられる。

【0056】

以上説明したように、第4の実施形態に係るLED／駆動IC複合チップ400によれば、LEDエピフィルム410をSi基板401の集積回路402の表面（凹凸を有する表面）402aよりも高い位置に貼り付けることができる。このため、LEDエピフィルム410をメタル層405上に貼り付けるプロセスにおいて使用される装置の一部（例えば、ボンディングコレット）が集積回路502の表面（凸部）402aに当たるという不具合を回避し易い。

【0057】

なお、第4の実施形態において、上記以外の点は、上記第1から第3までの実施形態の場合と同じである。

【0058】

<第5の実施形態>

図 23 は、本発明の第 5 の実施形態に係る LED/駆動 IC 複合チップを概略的に示す断面図である。

【0059】

第 5 の実施形態に係る LED/駆動 IC 複合チップ 500 は、集積回路 502 を有する Si 基板 501 と、Si 基板 501 の集積回路 502 が形成された領域に隣接する領域 503 に形成され、集積回路 502 が形成された領域よりも高い位置に表面 504a を持つかさあげ層 504 と、かさあげ層 504 上に形成されたメタル層 505 と、メタル層 505 の表面に貼り付けられた LED エピフィルム 510 とを有する。かさあげ層 504 の材質及び構成は、自由に選択できるが、メタル層 505 と電氣的に接続された配線層及びその周辺領域に形成された絶縁層を含むことができる。

【0060】

以上説明したように、第 5 の実施形態に係る LED/駆動 IC 複合チップ 500 によれば、LED エピフィルム 510 を Si 基板 501 の集積回路 502 の表面（凹凸を有する表面）502a よりも高い位置に貼り付けることができる。このため、LED エピフィルム 510 をかさあげ層 504 上のメタル層 505 上に貼り付けるプロセスにおいて使用される装置の一部（例えば、ボンディングコレット）が集積回路 502 の表面（凸部）502a に当たるという問題を回避し易い。

【0061】

なお、第 5 の実施形態において、上記以外の点は、上記第 1 から第 4 までの実施形態の場合と同じである。

【0062】

<本発明が適用された LED プリントヘッド>

図 24 は、本発明に係る半導体複合装置を組み込んだ LED プリントヘッド 700 を概略的に示す断面図である。図 24 に示されるように、LED プリントヘッド 700 は、ベース部材 701 と、ベース部材 701 に固定された LED ユニット 702 と、柱状の光学素子を多数配列したロッドレンズアレイ 703 と、ロッドレンズアレイ 703 を保持するホルダ 704 と、これらの構成 701～70

4を固定するクランプ705とを有する。LEDユニット702には、上記実施形態の半導体複合装置であるLED／駆動ICチップが搭載されている。LEDユニット702で発生した光はロッドレンズアレイ703を通して照射される。LEDプリントヘッド700は、電子写真プリンタや電子写真コピー装置等の露光装置として用いられる。

【0063】

<可能な変形例>

なお、上記実施形態においては、Si基板上の平坦化膜がメタル層を含む場合を説明したが、メタル層に代えてポリシリコンや、ITO、ZnO等の導電性酸化物等の金属以外の導電性薄膜層を用いてもよい。

【0064】

また、上記実施形態においては、半導体基板としてSi基板上を用いた場合を説明したが、半導体基板の材料には、アモルファスシリコン、単結晶シリコン、ポリシリコンの他、化合物半導体、有機半導体のような他の材料を用いることもできる。

【0065】

また、上記実施形態においては、半導体薄膜に備えられた半導体素子が、LEDである場合を説明したが、半導体素子は、レーザー等の他の発光素子、受光素子、ホール素子、及びpiezo素子等のような他の素子であってもよい。

【0066】

また、上記実施形態においては、LEDエピフィルムがエピタキシャル層から構成された場合を説明したが、エピタキシャル層ではない半導体薄膜を採用してもよい。

【0067】

また、上記実施形態においては、半導体基板上の平坦化領域上に又は平坦化膜上にLEDエピフィルムを貼り付けた場合を説明したが、半導体基板上の表面の凹凸が小さい場合には、平坦化処理（例えば、CMP処理）が行われていない領域上にLEDエピフィルムを貼り付けてもよい。

ともできる。

【0068】

【発明の効果】

以上説明したように、本発明によれば、半導体基板の表面に平坦化領域を形成し、この平坦化領域上に又は平坦化膜を介在させて半導体薄膜を貼り付けた構造としたので、半導体薄膜にワイヤボンド用電極パッドを設けなくてもよく、半導体薄膜の面積を小さくでき、その結果、半導体装置の小型化を実現できる。また、半導体薄膜の面積を小さくできるので、材料コストの低減を図ることができる。

【0069】

また、半導体薄膜の半導体素子が形成された側の第1の面を平坦化領域側にした場合には、半導体薄膜と半導体基板の集積回路とを接続するための配線層を減らすことができ、構成及び製造プロセスの簡素化を実現できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す斜視図である。

【図2】 LEDエピフィルムのボンディング前における第1の実施形態に係るLED／駆動IC複合チップを概略的に示す斜視図である。

【図3】 第1の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す平面図である。

【図4】 図3をS₄-S₄線で切る面を概略的に示す断面図である。

【図5】 (a) 及び (b) は、第1の実施形態に係るLED／駆動IC複合チップの平坦化膜の形成プロセスを概略的に示す断面図である。

【図6】 共通配線層形成後における第1の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す平面図である。

【図7】 第1の実施形態に係るLED／駆動IC複合チップのLEDエピフィルの製造プロセス（その1）を概略的に示す断面図である。

【図8】 第1の実施形態に係るLED／駆動IC複合チップのLEDエピフィルの製造プロセス（その2）を概略的に示す断面図である。

【図9】 第1の実施形態に係るLED／駆動IC複合チップのLEDエピ

フィルムの製造プロセス（その 3）を概略的に示す断面図である。

【図 10】 図 9 を S₁₀ - S₁₀ 線で切る面を概略的に示す断面図である。

【図 11】 (a) から (d) までは、第 1 の実施形態に係る LED/駆動 IC 複合チップにおける LED エピフィルムのボンディングプロセスを概略的に示す断面図である。

【図 12】 第 1 の実施形態の変形例に係る LED/駆動 IC 複合チップの一部を概略的に示す平面図である。

【図 13】 本発明の第 2 の実施形態に係る LED/駆動 IC 複合チップの一部を概略的に示す斜視図である。

【図 14】 LED エピフィルムのボンディング前における第 2 の実施形態に係る LED/駆動 IC 複合チップを概略的に示す斜視図である。

【図 15】 図 13 を S₁₅ - S₁₅ 線で切る面を概略的に示す断面図である。

【図 16】 本発明の第 3 の実施形態に係る LED/駆動 IC 複合チップの一部を概略的に示す斜視図である。

【図 17】 LED エピフィルムのボンディング前における第 3 の実施形態に係る LED/駆動 IC 複合チップを概略的に示す斜視図である。

【図 18】 第 3 の実施形態に係る LED/駆動 IC 複合チップの一部を概略的に示す平面図である。

【図 19】 本発明の第 4 の実施形態に係る LED/駆動 IC 複合チップの一部を概略的に示す斜視図である。

【図 20】 LED エピフィルムのボンディング前における第 4 の実施形態に係る LED/駆動 IC 複合チップを概略的に示す斜視図である。

【図 21】 第 4 の実施形態に係る LED/駆動 IC 複合チップの一部を概略的に示す平面図である。

【図 22】 図 21 を S₂₂ - S₂₂ 線で切る面を概略的に示す断面図である。

【図 23】 本発明の第 5 の実施形態に係る LED/駆動 IC 複合チップの

概略的に示す断面図である。

【図 2 4】 本発明に係る半導体複合装置を組み込んだ LED プリントヘッドを概略的に示す断面図である。

【図 2 5】 従来の LED プリントヘッドの一部を概略的に示す斜視図である。

【図 2 6】 図 2 5 の LED プリントヘッドに備えられた LED アレイチップの一部を示す平面図である。

【符号の説明】

100, 170, 200, 300, 400, 500 LED/駆動 IC 複合チップ、

101, 301, 401, 501 Si 基板、

102, 302, 402, 502 集積回路、

103, 303, 403 平坦化領域、

104, 304 平坦化膜、

105, 305, 405, 505 メタル層、

106 層間絶縁膜、

107 集積回路の共通電極端子、

110, 210, 310, 410, 510 エピタキシャルフィルム (LED エピフィルム)、

110a, 210a, 310a 第1の面、

110b, 210b, 310b 第2の面、

110c 半導体エピタキシャル層、

111 GaAs コンタクト層 (n 型 GaAs 層)、

112 AlGaAs 下クラッド層 (n 型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層)、

113 AlGaAs 活性層 (n 型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層)、

114 AlGaAs 上クラッド層 (n 型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層)、

115 Zn 拡散領域、

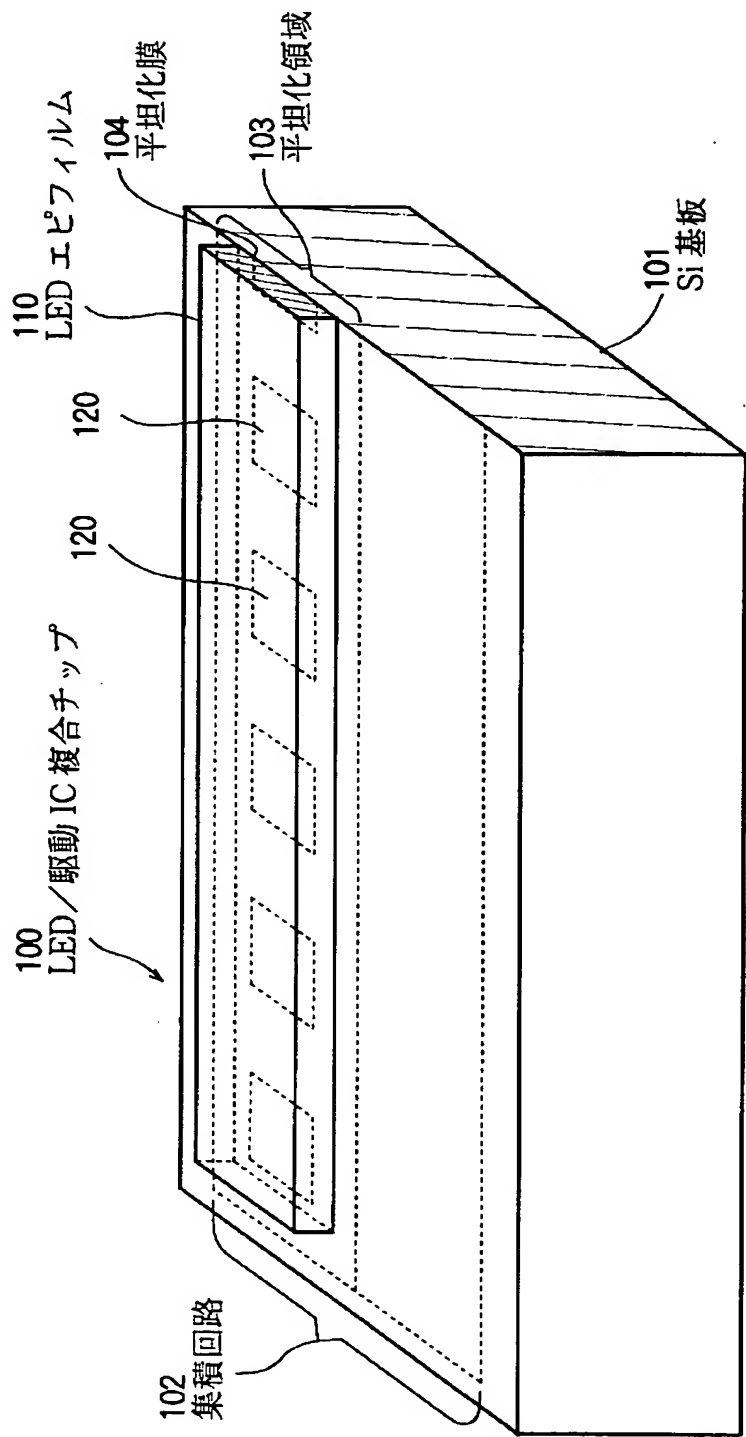
116 共通電極層、

120, 320, 420 LED (発光部)、

130, 131, 230 共通配線層、
140 LEDエピフィルム製造用基板、
141 GaAs 基板、
142 GaAs バッファ層、
143 (AlGa) InP エッチングストップ層、
144 AlAs 剥離層、
145 エッチング溝、
150 第1の支持体、
160 第2の支持体、
211 GaAs 層、
212 p型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層、
213 p型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層、
214 n型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層、
215 n型 GaAs 層、
230a 共通配線層の開口部、
308, 408 集積回路の個別端子領域、
402a, 502a 集積回路の表面、
403a, 503 集積回路が形成された領域に隣接する領域、
430 集積回路の個別電極端子、
504 かさあげ層、
504a かさあげ層の表面、
700 LEDプリントヘッド、
702 LEDユニット、
703 ロッドレンズアレイ。

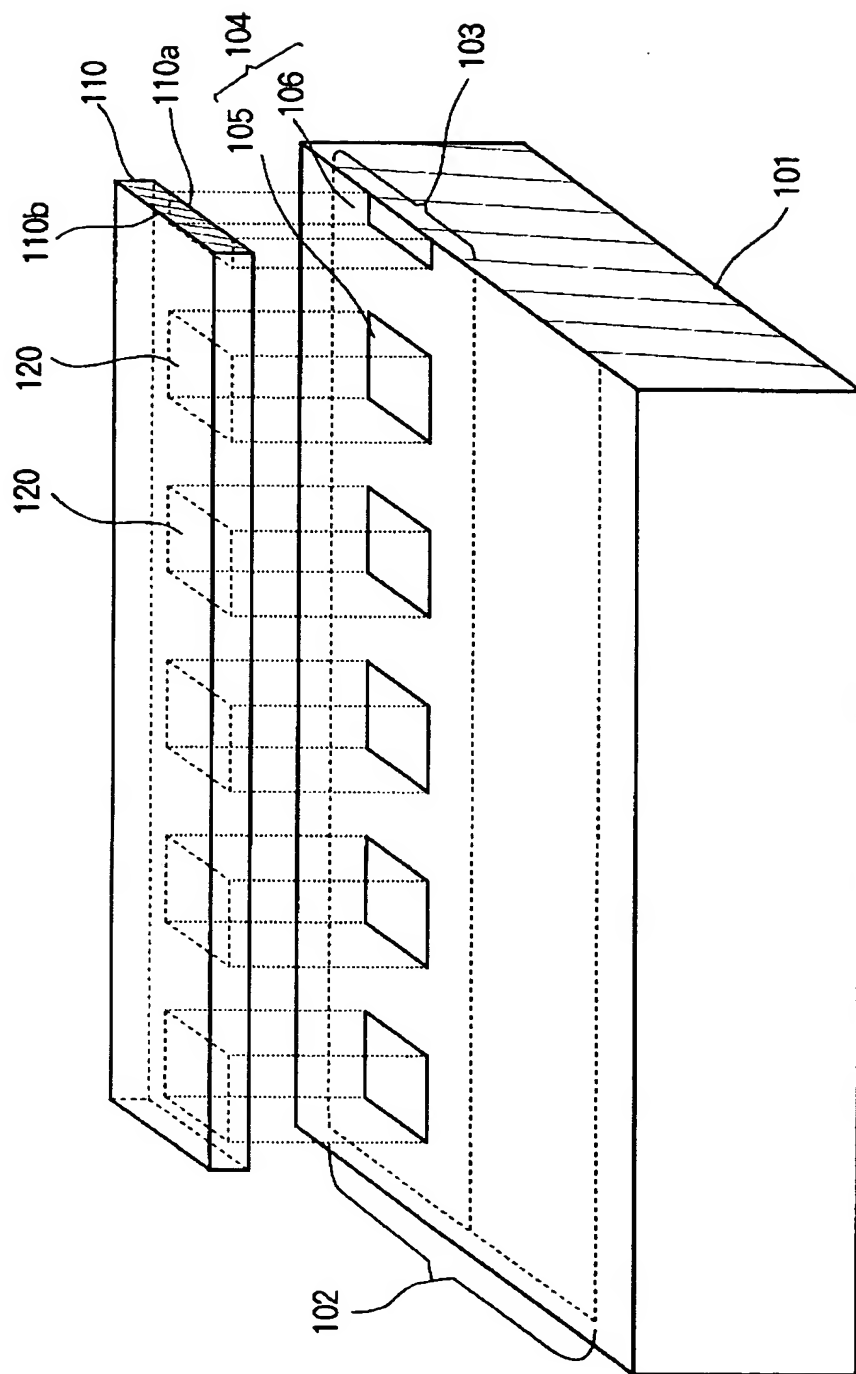
【書類名】 図面

【図 1】



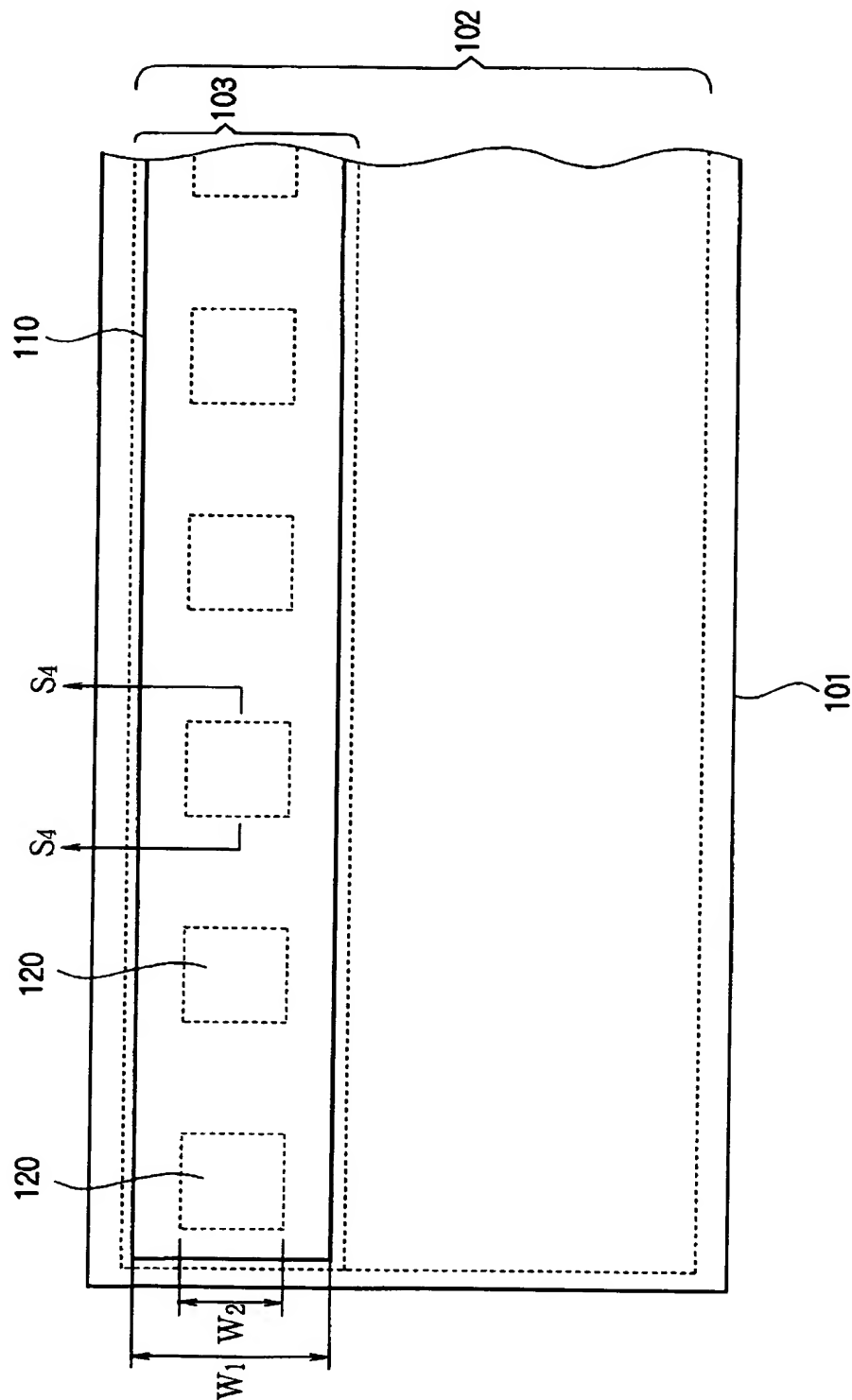
第 1 の実施形態

【図 2】



第 1 の実施形態

【図 3】



第 1 の実施形態

【図 4】

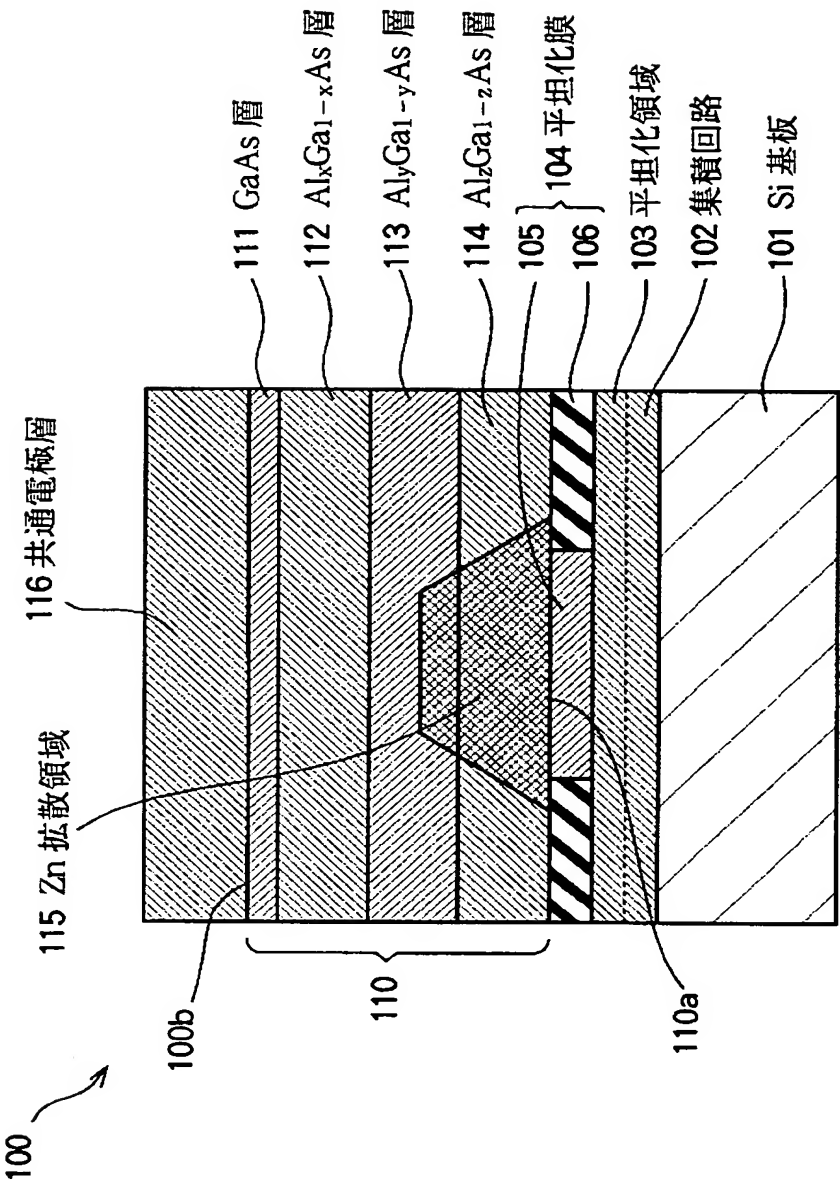
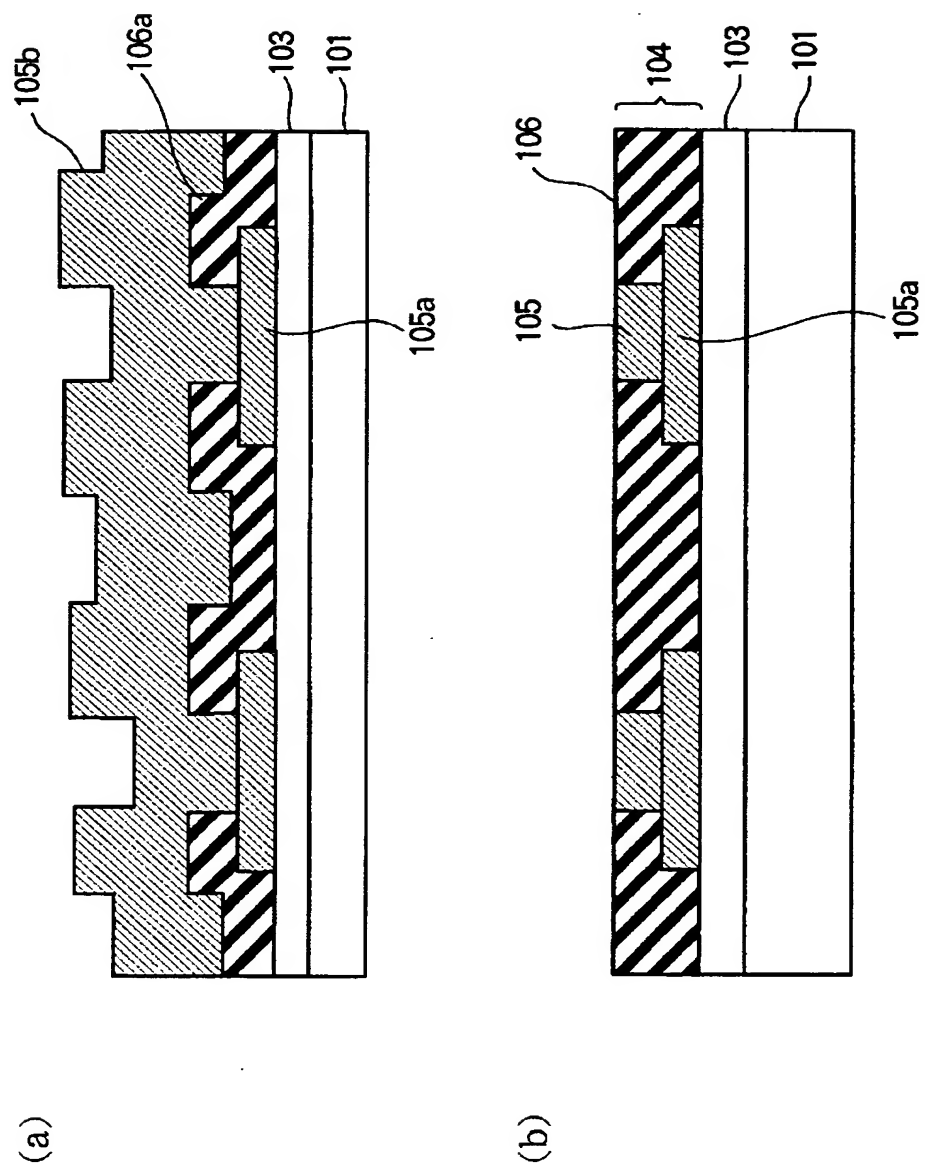


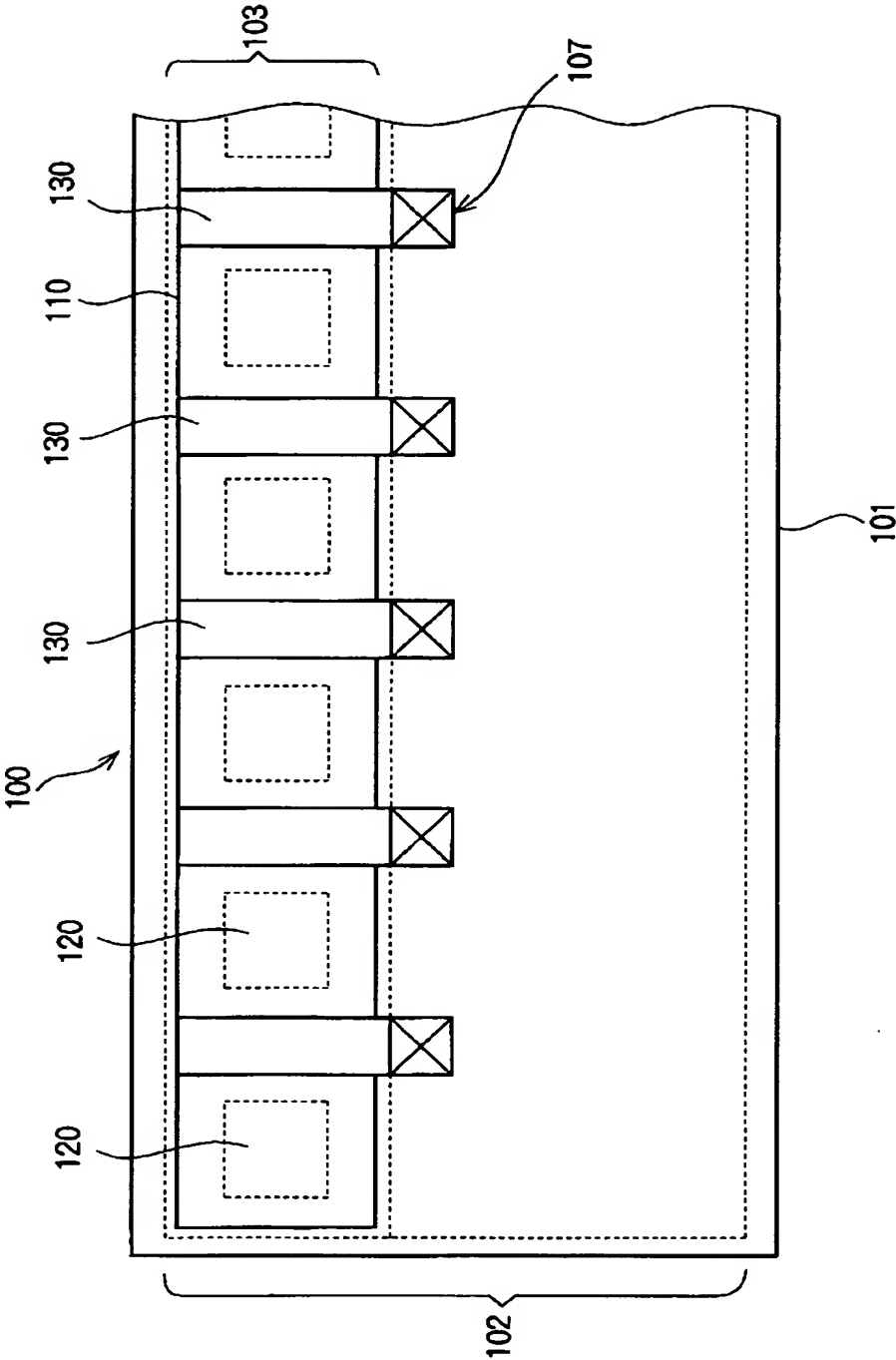
図 3 の S₄-S₄ 線断面図

【図 5】



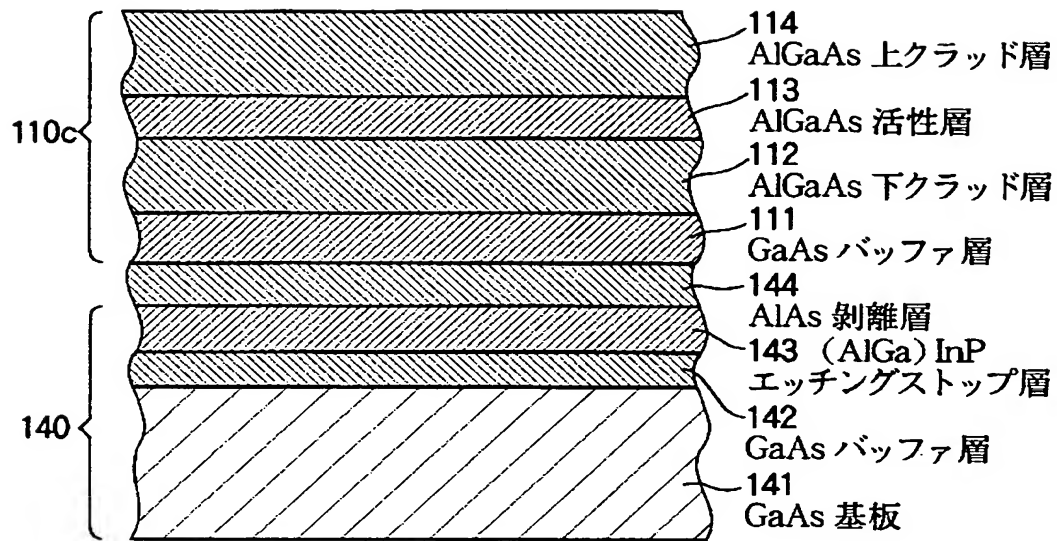
平坦化膜の形成プロセス

【図 6】



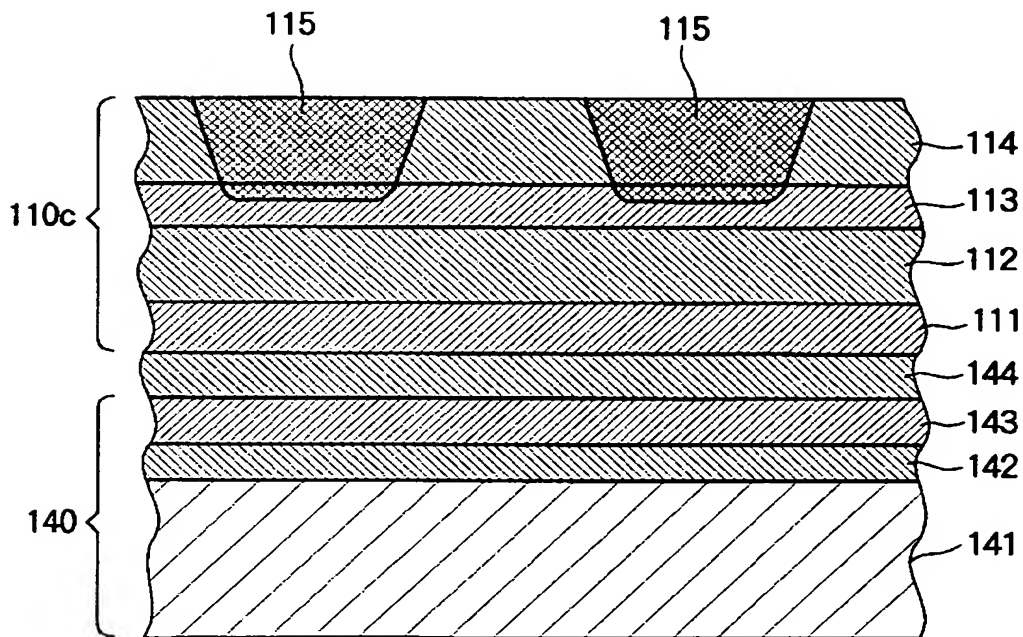
第 1 の実施形態

【図 7】



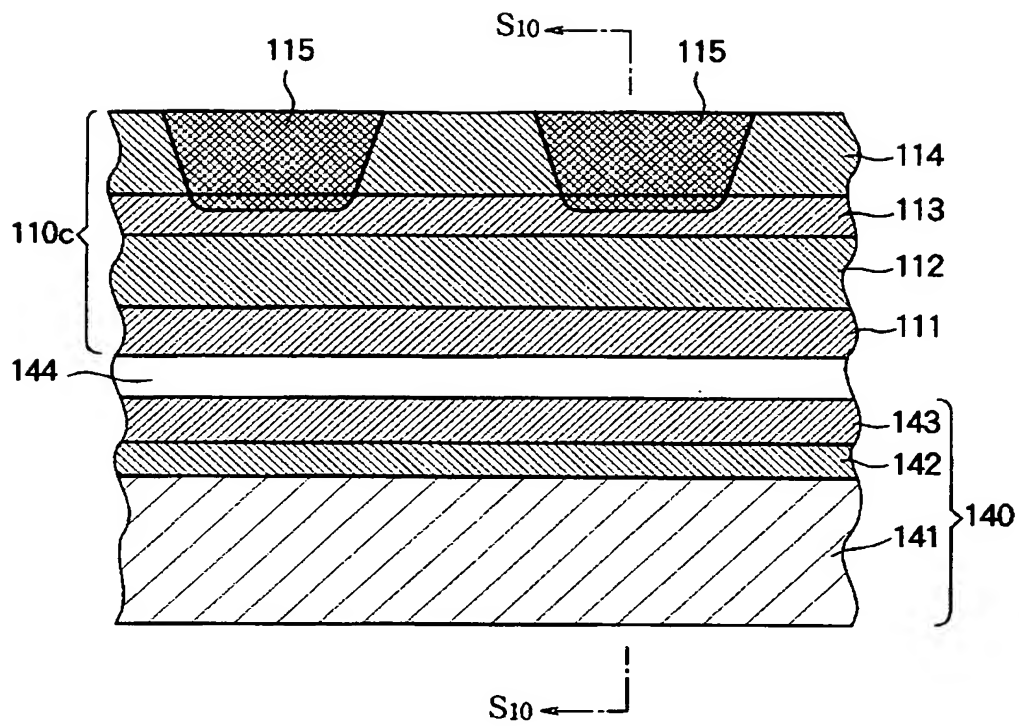
LED エピフィルの製造プロセス(その 1)

【図 8】



LED エピフィルの製造プロセス(その 2)

【図 9】



LED エピフィルム製造プロセス(その 3)

【図 10】

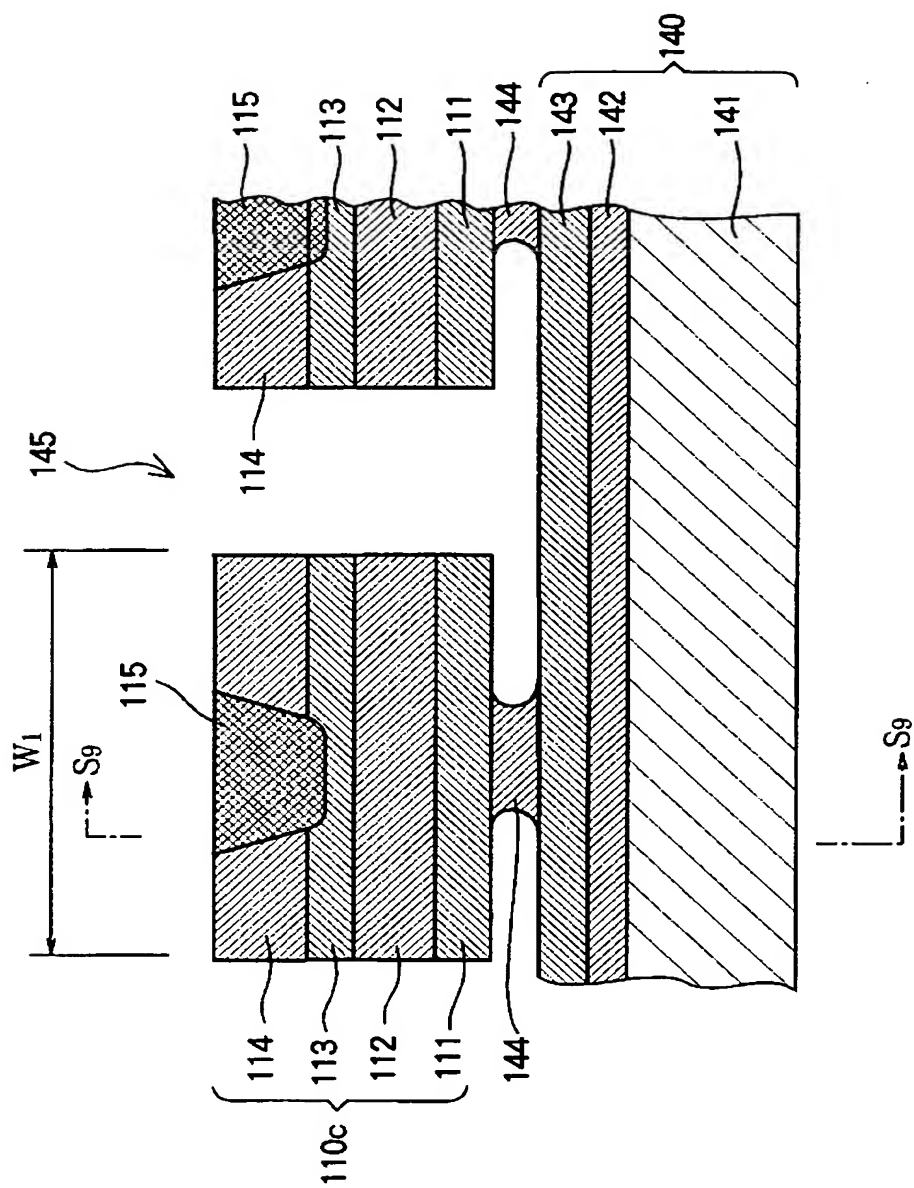
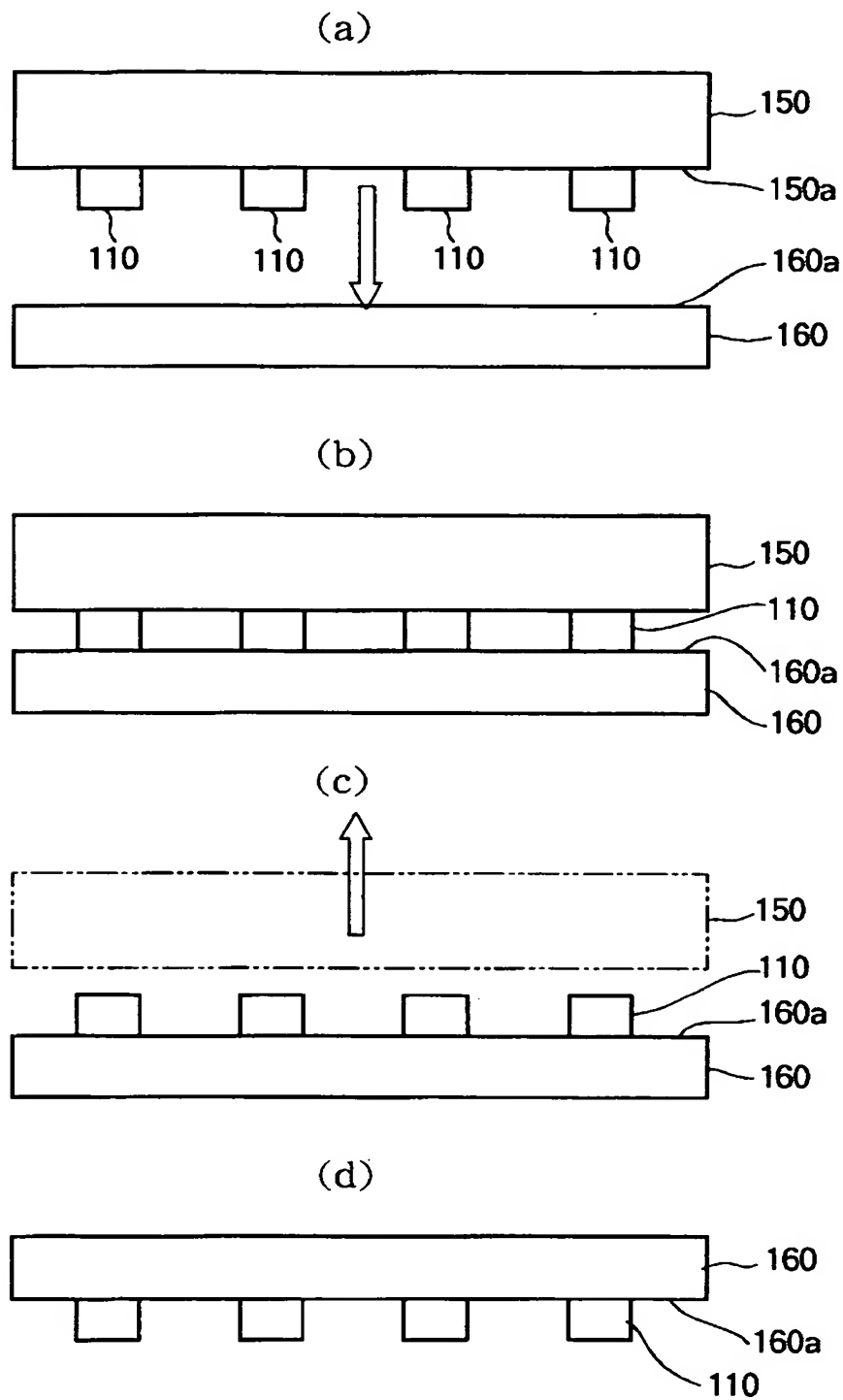
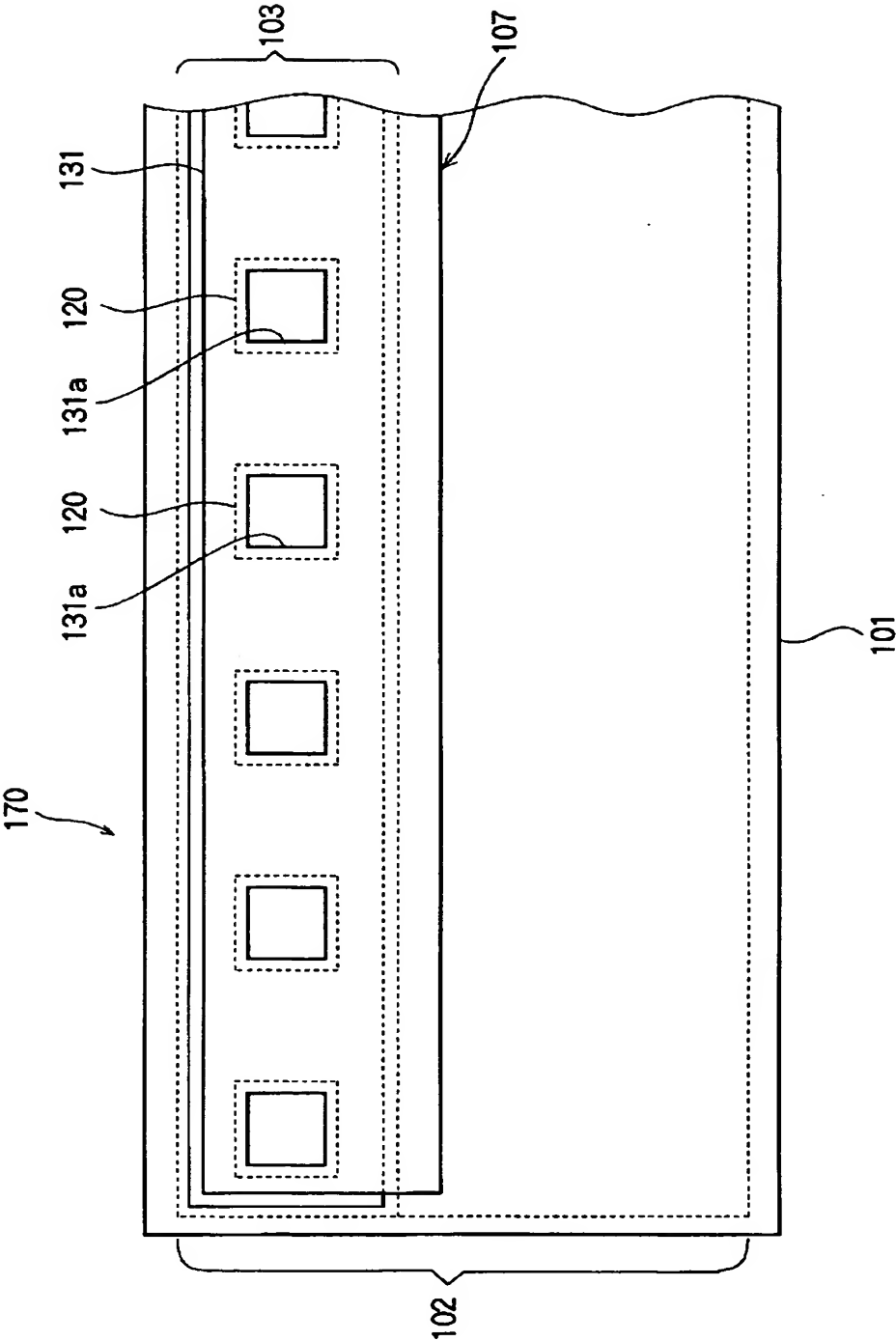


図 9 の S10-S10 線断面図

【図 11】

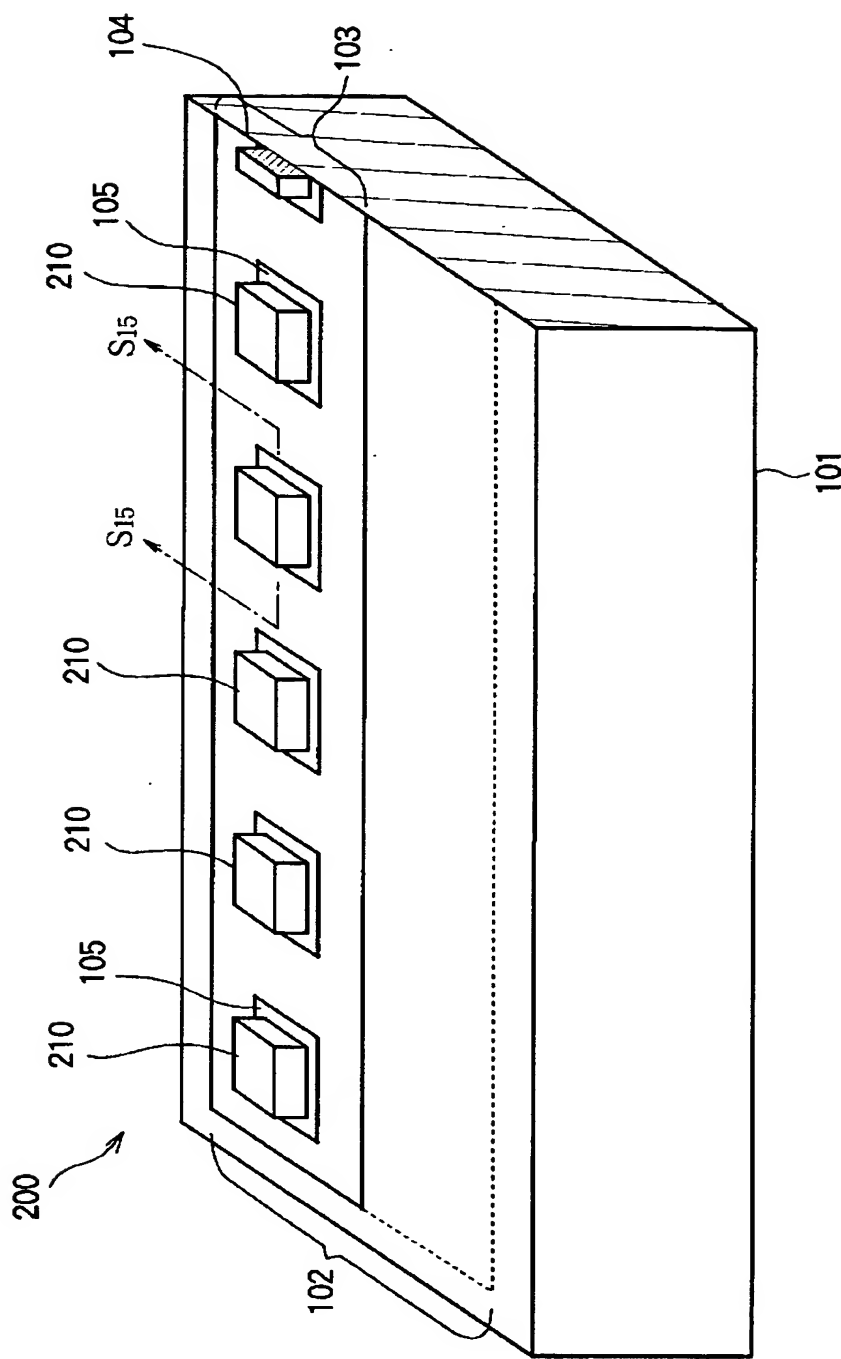


【図 12】



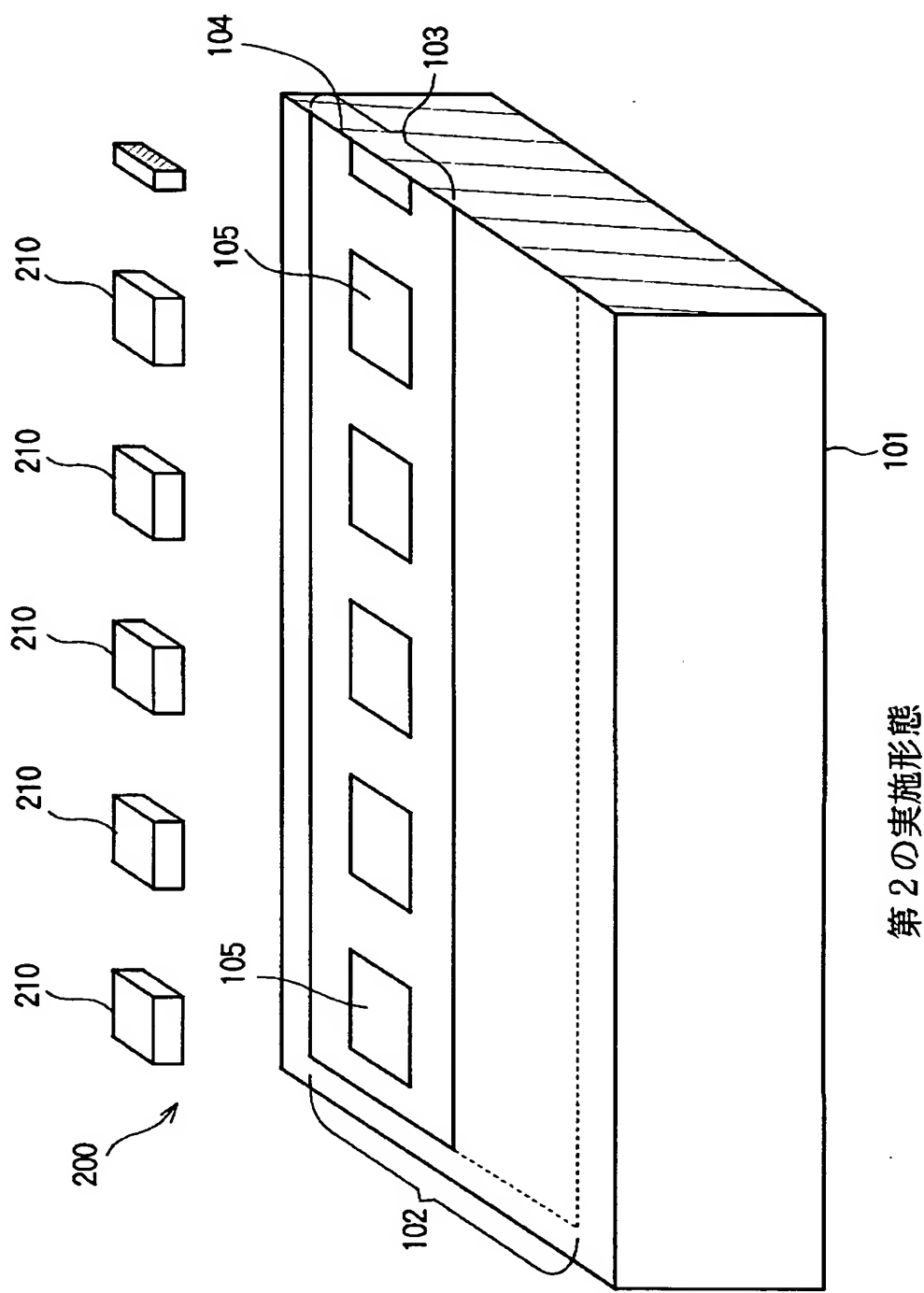
第 1 の実施形態の変形例

【図 13】



第 2 の実施形態

【図 14】



第2の実施形態

【図 15】

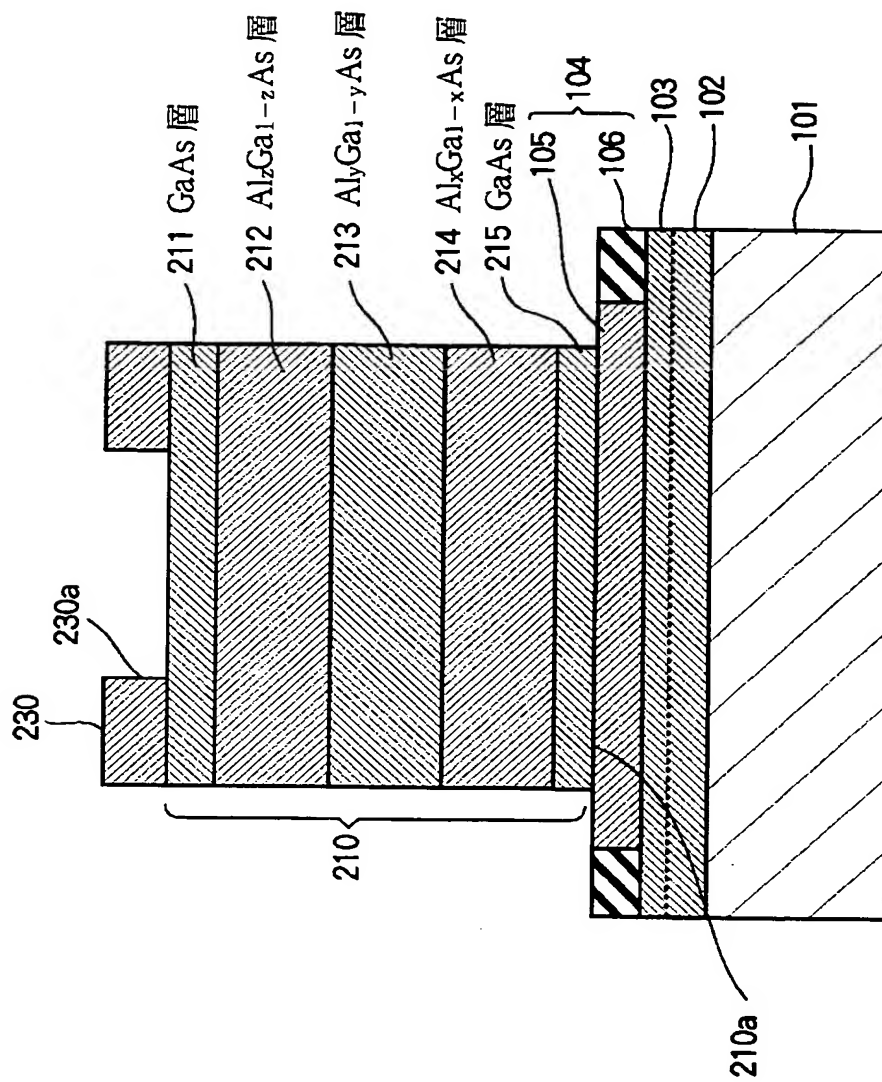
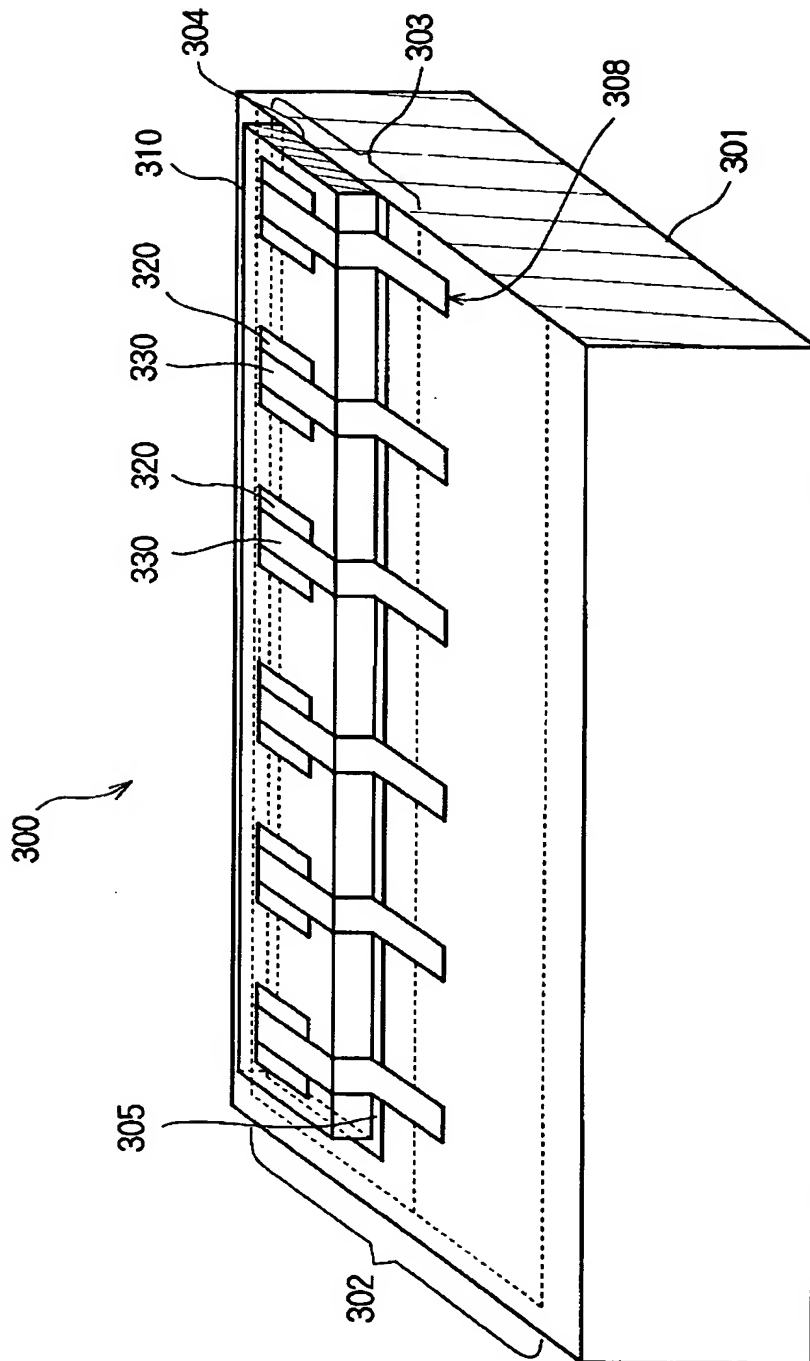


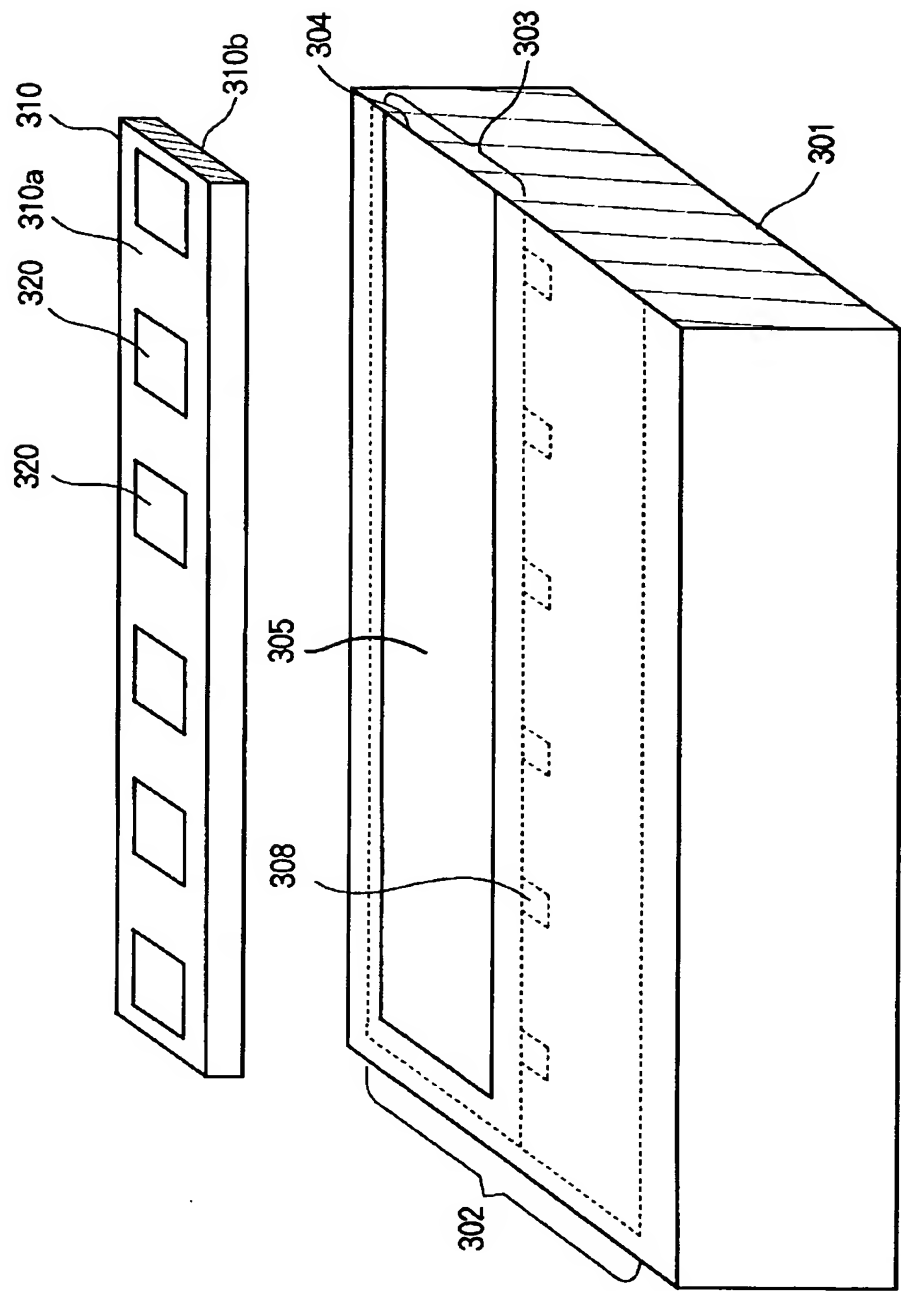
図 13 の S₁₅ - S₁₅ 線断面図

【図 16】



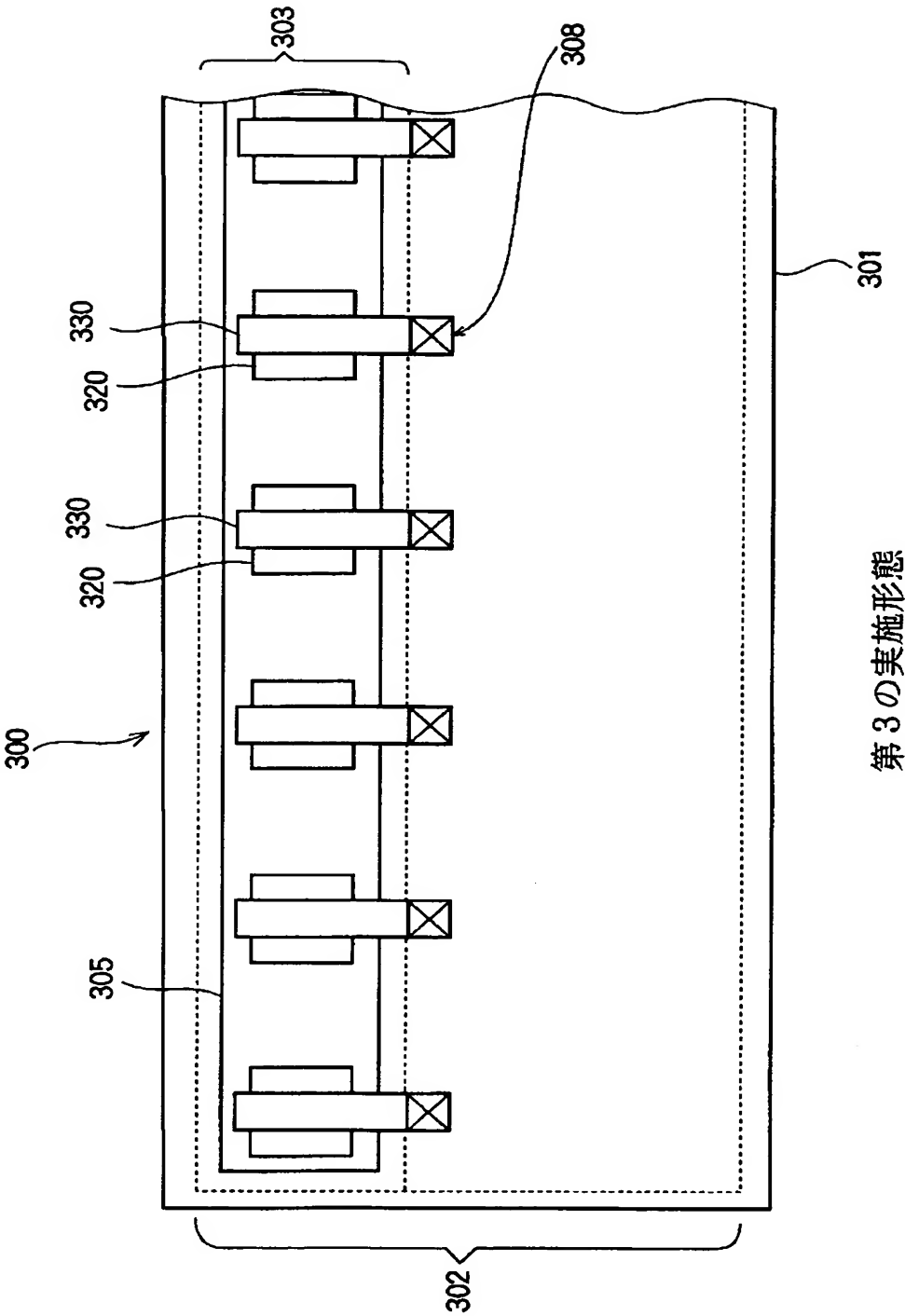
第3の実施形態

【図 17】



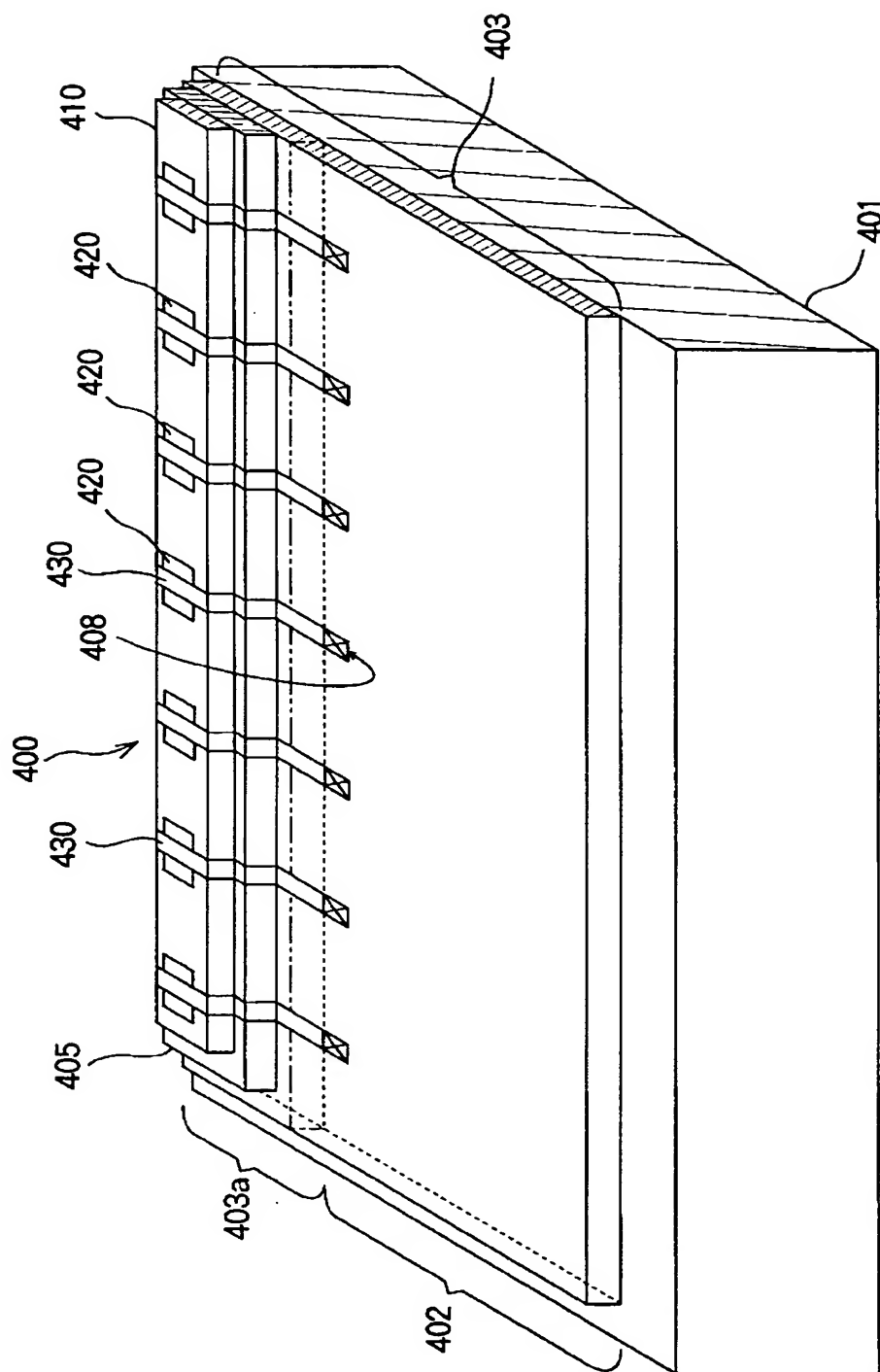
第 3 の実施形態

【図 18】



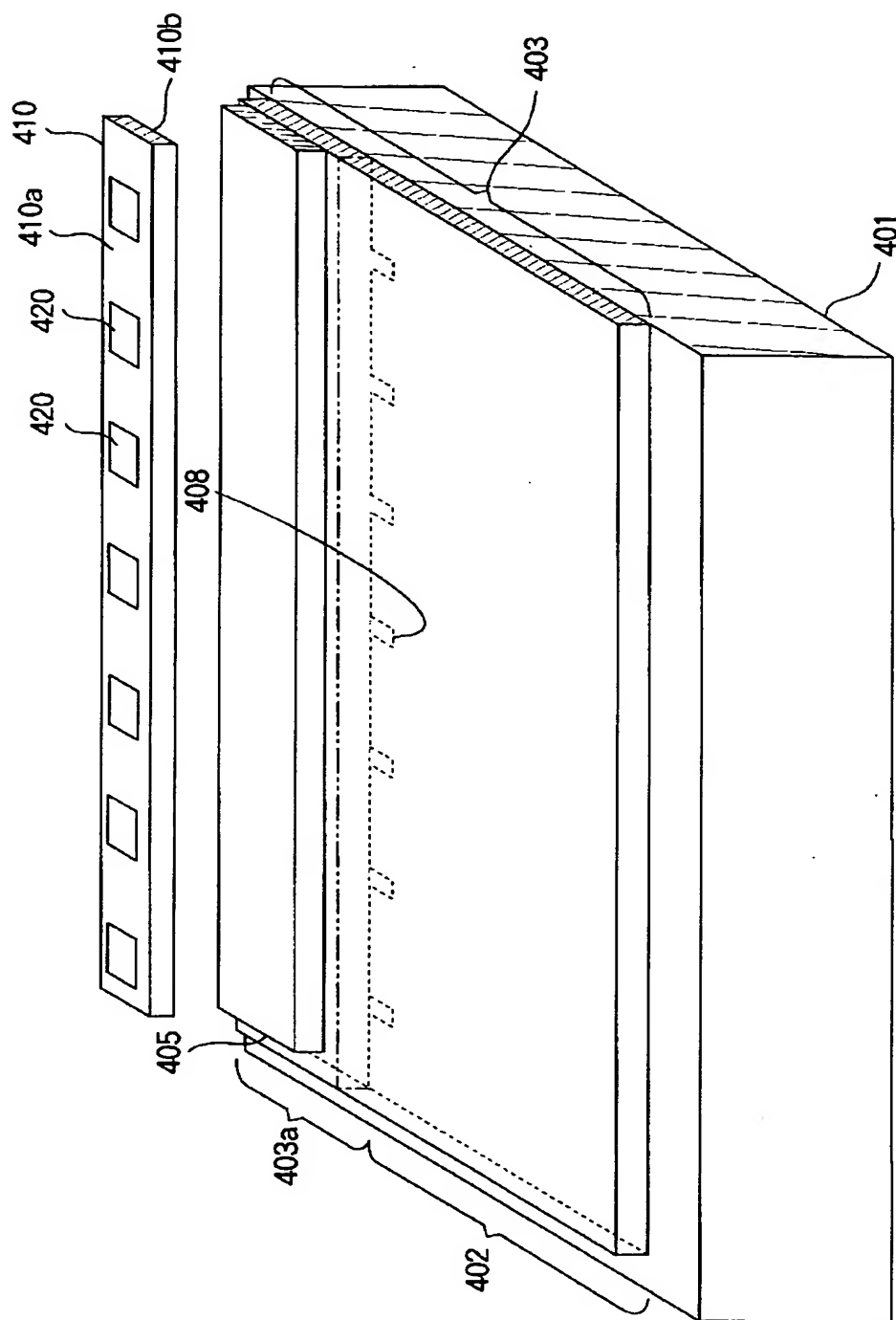
第 3 の実施形態

【図 19】



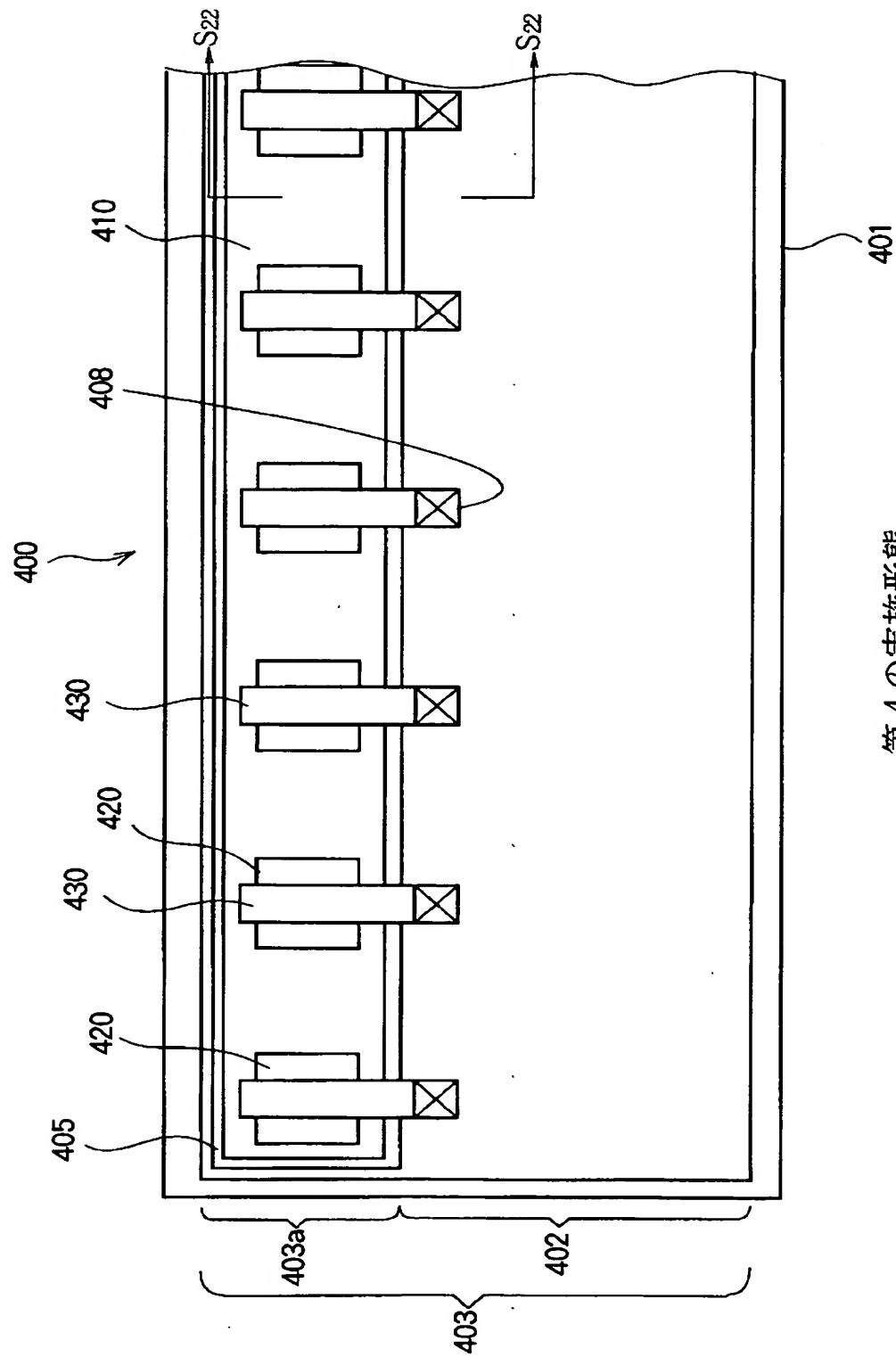
第 4 の実施形態

【図 20】



第 4 の実施形態

【図 21】



第 4 の実施形態

【図 2 2】

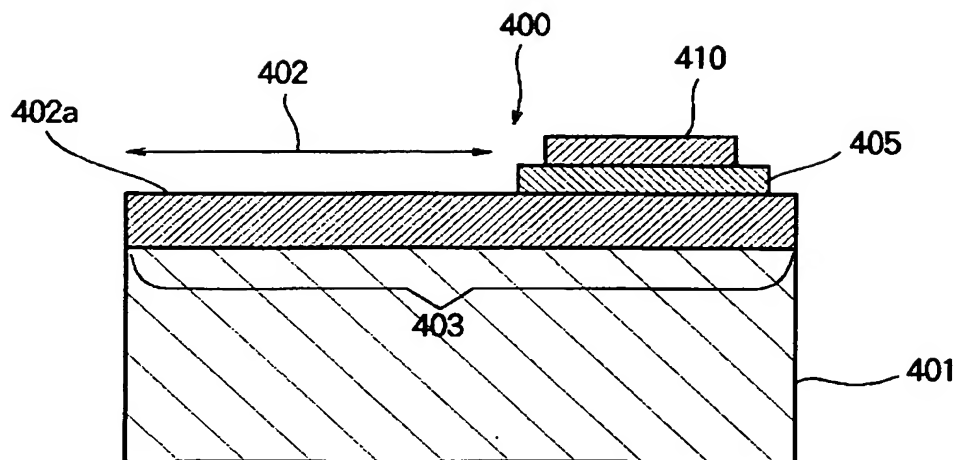
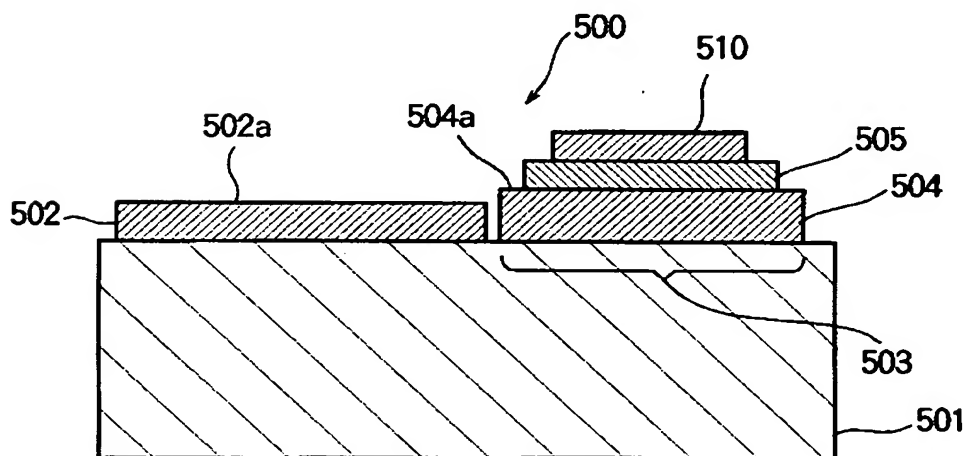


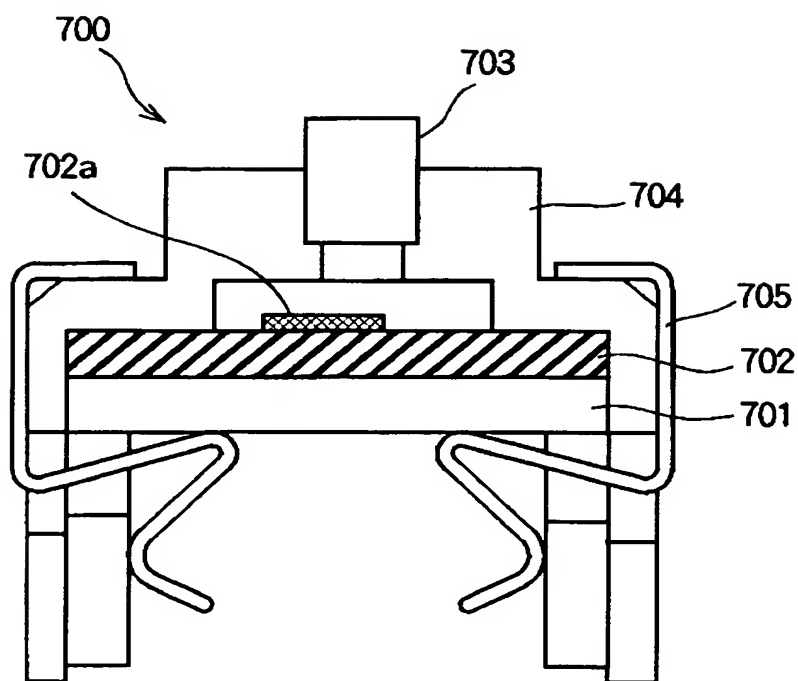
図 21 の S₂₂-S₂₂ 線断面図

【図 2 3】



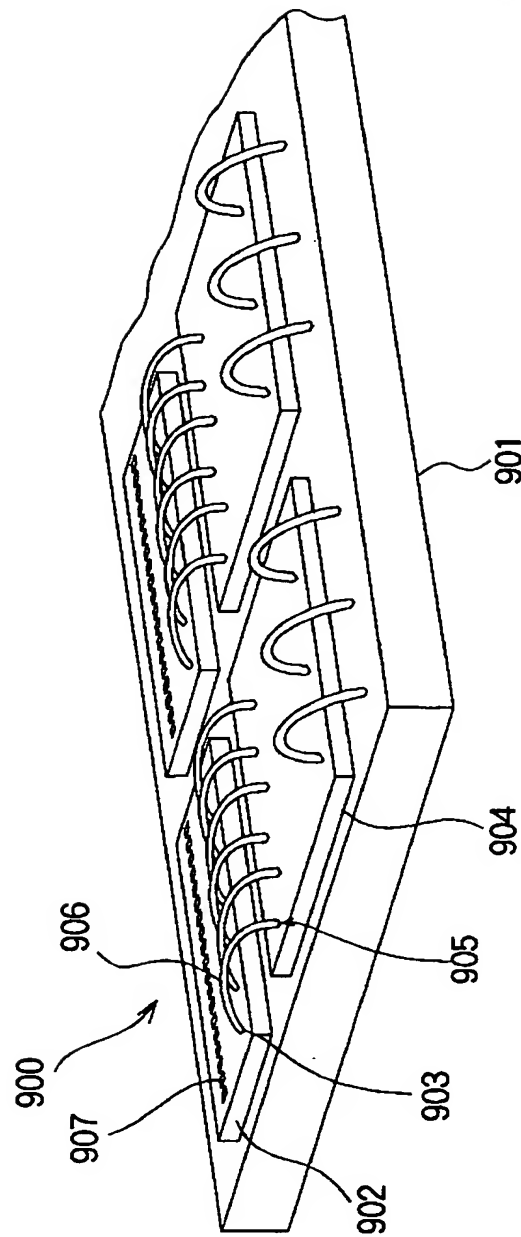
第 5 の実施形態

【図 24】



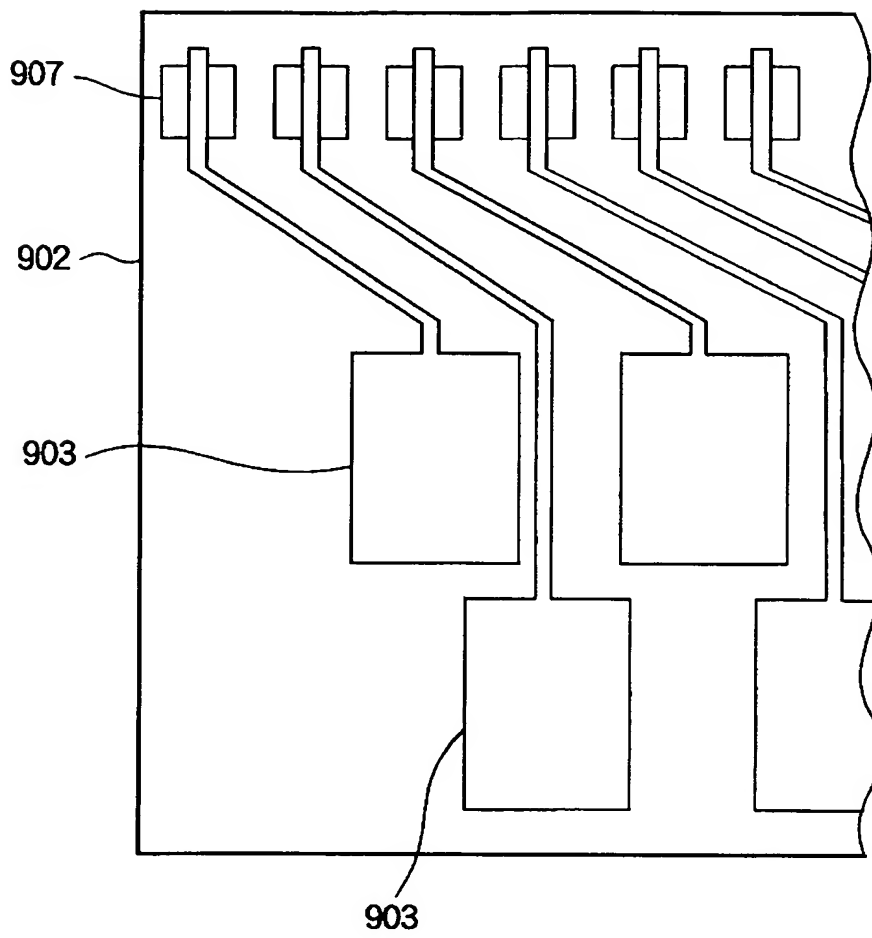
LED プリントヘッド

【図 25】



従来例

【図 26】



従来例

【書類名】 要約書

【要約】

【課題】 小型化及び材料コストの低減を図ることができる半導体複合装置を提供する。

【解決手段】 半導体複合装置は、集積回路 1 0 2 を有する S i 基板 1 0 1 と、この S i 基板 1 0 1 の表面に形成された平坦化領域 1 0 3 と、L E D 1 2 0 を含み平坦化領域 1 0 3 上に貼り付けられた L E D エピタキシャルフィルム 1 1 0 とを有する。平坦化領域 1 0 3 と L E D エピタキシャルフィルム 1 1 0 との間には、メタル層 1 0 5 や層間絶縁膜 1 0 6 等から構成される平坦化膜 1 0 4 が介在する。

【選択図】 図 1



特願 2 0 0 2 - 3 7 1 7 2 4

出 願 人 履 歴 情 報

識別番号

[5 9 1 0 4 4 1 6 4]

1. 変更年月日

2 0 0 1 年 9 月 1 8 日

[変更理由]

住所変更

住 所

東京都港区芝浦四丁目 1 1 番 2 2 号

氏 名

株式会社沖データ



特願 2 0 0 2 - 3 7 1 7 2 4

出 願 人 履 歴 情 報

識別番号

[5 0 0 0 0 2 5 7 1]

1. 変更年月日

1 9 9 9 年 1 2 月 2 0 日

[変更理由]

新規登録

住 所

東京都八王子市東浅川町 5 5 0 番地 - 1

氏 名

株式会社沖デジタルイメージング